



## [12] 发明专利申请公开说明书

[21] 申请号 03819715.4

[43] 公开日 2005 年 11 月 16 日

[11] 公开号 CN 1698090A

[22] 申请日 2003.6.24 [21] 申请号 03819715.4

[30] 优先权

[32] 2002.6.24 [33] GB [31] 0214468.1

[86] 国际申请 PCT/BE2003/000108 2003.6.24

[87] 国际公布 WO2004/001715 英 2003.12.31

[85] 进入国家阶段日期 2005.2.21

[71] 申请人 吉米迪斯股份有限公司

地址 比利时根特

[72] 发明人 H·德斯麦特 J·范登斯蒂恩

G·范多西拉尔 A·范卡尔斯特

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 李玲

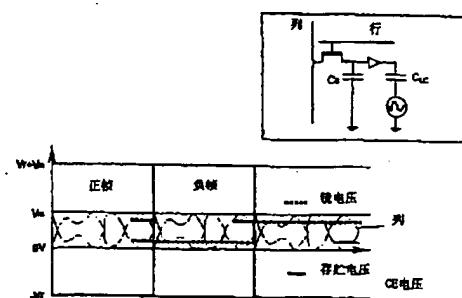
权利要求书 3 页 说明书 21 页 附图 16 页

[54] 发明名称 在源矩阵的更新方法与像素电路

[57] 摘要

本发明提出一像素阵列，各像素包括像素元件、像素更新电路、第一存储器元件与第一开关元件。各像素元件包括逐一控制像素元件的第一像素电极和第二像素电极，第二像素电极联接阵列中几乎所有像素元件并接共用对电极。第一与第二像素电极构成第一电容器。像素元件具有阈电压与调制电压。像素更新电路用于将与像素数据值相关的电荷从像素数据输入端经电荷传递通路传到第一像素电极。第一存储器元件耦接像素数据输入端以存贮与像素数据值相关的电荷。第一开关元件位于第一存储器元件与第一像素电极之间，用于控制从第一存储器元件经电荷传递通路到第一像素电极的电荷传递。根据本发明，第一开关元件与第一存储器元件协同将与像素数据值相关的电荷沿电荷传递通路无源地传到第一电容器。根据本发明，该阵列还包括对共用对电极加动态变化电压的装置，该动态变

化电压在第一与第二驱动值之间变化，使像素数据值是一介于零伏与数据电压值的信号，数据电压值不小于调制电压，但小于任一像素元件的调制电压与阈电压之和。本发明还提出了更新像素阵列的像素值的方法。



ISSN 1008-4274

1. 一种像素阵列，其特征在于，各像素包括：

像素元件，各像素元件包括逐一控制像素元件的第一像素电极，以及第二像素电极，第二像素电极联接阵列中几乎所有的像素元件并接公共对电极，第一与第二像素电极形成第一电容器，像素元件有一阈电压和一调制电压，

像素更新电路，用于将与像素数据值相关的电荷从像素数据输入端经电荷传递通路传到第一像素电极，

耦接像素数据输入端的第一存储器元件，用于存贮与像素数据值相关的电荷，

位于第一存储器元件与第一像素电极之间的第一开关元件，用于控制从第一存储器元件通过电荷传递通路到第一像素电极的电荷传递，

其中第一开关元件与第一存储器元件协同将与像素数据值相关的电荷沿电荷传递通路无源地传到第一电容器，而且阵列还包括对共用对电极施加动态变化电压装置，该动态变化的电压在第一与第二驱动值之间变化，使像素数据值是一介于零伏与数据电压值的信号，该数据电压值不小于调制电压，但小于任一像素元件的调制电压与阈电压之和。

2. 如权利要求1的阵列，其中第一驱动值为像素元件阈电压的负值，第二驱动值为像素元件的阈电压与调制电压之和。

3. 前述任一权利要求的阵列，其特征在于，第一存储器元件具有第一与第二电极，第一电极接像素数据输入端，第二电极接地。

4. 前述任一权利要求的阵列，其中各像素还包括把与像素数据值相关的存贮电荷量转换为脉冲的转换装置，脉宽用于控制像素元件且对应于存贮的电荷量。

5. 如权利要求4的阵列，其中转换装置包括一比较器。

6. 如权利要求5的阵列，其中比较器包括开关电路与波整形电路。

7. 如权利要求6的阵列，其中开关电路包括一电阻负载倒相器。

8. 如权利要求7的阵列，其中电阻负载倒相器具有分别接低供电电压与高供电电压的第一与第二供电连接线，任一第一或第二供电连接线都接斜电源。

9. 如权利要求6~8的阵列，其中波整形电路包括至少一个互补倒相器。

10. 如权利要求 5 的阵列，其中比较器包括分流电阻装置与倒相器。
11. 如权利要求 10 的阵列，其中分流电阻装置是一电阻器。
12. 如权利要求 10 的阵列，其中分流电阻装置是一低占空因数比脉冲栅极信号的晶体管。
13. 如权利要求 10 的阵列，其中分流电阻装置包括一电流镜。
14. 如权利要求 5~14 之一的阵列，其中比较器包括至少一个限流晶体管。
15. 如权利要求 4~14 之一的阵列，其中转换装置包括的晶体管不到 10 只，较佳不到 8 只，更佳不到 5 只。
16. 前述任一权利要求的阵列，其中与像素数据值相关的电荷存入第一存储器元件时，在第一存储器元件两端产生一数据电压，而无源电荷传递对第一像素电极施加几乎与数据电压一样的电压。
17. 前述任一权利要求的阵列，其特征在于像素更新电路还包括：  
    镜像电路，用于将存贮在第一存储器元件上的像素数据值无损地映射到像素元件的第一像素电极。
18. 如权利要求 17 的阵列，其中镜像电路包括：  
    具有第一与第二数据电极和控制电极的第一开关元件，所述第一开关元件的第一数据电极接第一存储器元件的一电极，其第二数据电极接第一像素电极，  
    存贮数据值的第二存储器元件，所述第二存储器元件具有第一与第二电极，其第一电极接第一开关元件的第二数据电极，第二电极接第一开关元件的控制电极，和  
    复位装置，用于使存入第二存储器元件的数据值复位。
19. 前述任一权利要求的阵列，其特征在于还包括位于第一存储器元件与数据线之间提供像素数据值的第二开关元件。
20. 前述任一权利要求的阵列，其中像素元件包括液晶。
21. 如权利要求 20 的阵列，其中像素元件包括 LCOS 元件。
22. 前述任一权利要求的阵列，其中第一存储器元件是存贮电容器。
23. 如权利要求 18 或基于权利要求 18 的任一权利要求的阵列，其中第二存储器元件是存贮电容器。
24. 前述任一权利要求的阵列，其中第一开关元件是晶体管。
25. 如权利要求 19~24 之一的阵列，其中第二开关元件是晶体管。

26. 前述任一权利要求的阵列，其中阵列为有源矩阵。

27. 一种更新像素阵列的像素值的方法，各像素包括逐一控制像素元件的第一像素电极以及第二像素电极的像素元件，阵列中几乎所有像素元件的第二电极都接共用对电极，像素元件有一阈电压与一调制电压，其特征在于，所述方法包括把与像素数据相关的电荷无源地传到第一像素电极并对共用对电极加一动态变化的电压，该动态变化电压在第一与第二驱动值之间变化，使像素数据是一介于零伏与数据电压值之间的信号，该数据电压值不小于调制电压，但小于任一像素元件的调制电压与阈电压之和。

28. 如权利要求 27 的方法，其中第一驱动值为像素元件阈电压的负值，第二驱动值为像素元件的阈电压与调制电压之和。

29. 如权利要求 27 或 28 的方法，其特征在于还包括存贮与像素数据相关的电荷并将存贮的电荷转换为脉冲，其脉宽用于控制像素元件且对应于存贮的电荷量。

30. 如权利要求 27~29 之一的方法，其中无源地传递像素数据的步骤包括将来自第一存储器元件的数据无损地映射到像素元件的第一像素电极。

31. 如权利要求 27~29 之一的方法，其中无源地传递像素数据的步骤包括通过多个相互独自受驱动的开关元件中的一个开关元件传递一组存储器元件中任一个的数据。

## 有源矩阵的更新方法与像素电路

### 发明领域

本发明一般涉及有源矩阵显示器，尤其是诸如 LCOS 显示器等小像素的有源矩阵显示器，以及驱动这类显示器并显示信息的方法。

### 发明背景

普通有源矩阵(AM)示于图 1, 它包括一交叉行列液晶(LC)像素  $P_1, P_2 \dots, P_n$  的矩阵，在这些行列的各交叉点设置了开关晶体管  $T_1, T_2 \dots, T_n$ 。每一像素  $P_1, P_2 \dots, P_n$  还包含两种电容器：存贮电容器  $C_{11}, C_{21} \dots, C_{n1}$ ，使 LC 两端的电压在两个更新瞬间之间保持不变；和本征(寄生)像素电容  $C_{12}, C_{22}, C_{n2}$ ，由液晶堆(像素电极-LC-对电极)本身形成。当一行的开关晶体管  $T_i$  闭合(导通)时，各个列电压就存贮在该行像素  $P_i$  的各自存贮电容器  $C_{i1}$  上。

硅上液晶(LCOS)是一特种映射有源矩阵(AM)液晶显示器(LCD)，其中 AM 用标准硅工艺制成。

LCOS1 的截面示于图 2，它包括半导体衬底 2 诸如硅衬底，集成了 CMOS 晶体管，还包括若干不同的层，诸如第一金属层 3、第二金属层 4 与第三金属层 5(一般至少有四个金属层)。CMOS 芯片顶部，在两对准层 7、8 之间设有 LC 层 6，其上的玻璃衬底 9 设有铟锡氧化物(ITO)对电极 10，ITO 是导电的透明材料。

LC 不能用 DC 电压正常工作，即像素电压必须随时间变化，像素电压平均值(在时间上)为零。LC 像素的电光响应特性示于图 3，曲线呈 RMS(均方根)电压的函数。可以看出，在 LC 开始透射或映射光之前，要加一定的阈电压  $V_{th}$ (取决于 LC 种类)。

从 LC 的电光特性可见，只有有限的一部分曲线适合实际应用，这一部分称为“调制区”，位于阈电压  $V_{th}$  与反向电压  $V_{inv}$  之间。在垂直对准的向列型(VAN)LC 类型中，阈电压  $V_{th}$  一般约 2 伏，调制电压  $V_m$  一般约 1 伏。在恒定的对电极电压时，像素电极必须越过  $2 * (2V + 1V) = 6V$  的电压跨度。对其它类型的 LC，这些电压值相差很大。

然而, 因 LCOS 基本上是一种用 LC 工艺实施的 CMOS 技术, 故对 LCOS 也保留了 CMOS 的优点。具体而言, 对于较大的晶片与晶片上较小的器件尺寸, 成本降低。目前在 CMOS 中, 在 8 英寸晶片上一般应用  $0.35 \mu\text{m}$  的工艺。以这种 CMOS 工艺制作的晶体管器件, 最大栅压为 3.3~3.5 伏, 与控制 LC 所需的电压并不兼容。

通过切换对电极电压, 也称为公共电极电压调制, 可以解决该问题, 如 US-5920298 所述。

在 S. C. Tan 与 X. W. Sun 的论文“P-1: Generic design of Silicon Backplane for LCOS Microdisplays”(SID 02 Digest, pp. 200—203) 中, 描述了公共电极电压调制在 LCOS 显示器中的应用。公共电极上的电压分别在正负帧内在 0V 与两电源轨间的电压  $V_{DD}$  之间切换。当施加电压给 0V 公共阴极时, 在 LC 晶胞两端得到正电位, 而当公共电极上的电压被切换到  $V_{DD}$  而且施加电压小于  $V_{DD}$  时, 就得到负电位。该法可提供与要使用的 LC 工作电压一样的电压, 故是一种低功率实施法。

Tan 等人在同一文件中还描述了基于对电极切换的更新像素电路。来自数据线的像素数据经开关或通道晶体管传给保持图像数据的中间存贮电容器。像素内缓冲器复制存贮在最后存贮电容器上该中间存贮电容器上的电压, 从中将像素数据置于像素电极上。该文件描述的像素内缓冲器是一种 PMOS 源跟随器或者 NMOS 源跟随器, 在这两种情况下, 在像素内电路晶体管至少存在着阈电压损失, 降低了最大保持电压。另外, 源跟随器还要求-电流源, 在芯片内, 该电流源产生的电流必须对各像素完全一样。另一问题是总功耗, 因为像素总数一般超过 100 万个。这一问题可用脉冲电流源解决, 但各像素要用更多晶体管, 故在芯片上占用更大的空间。

## 发明内容

本发明的一个目的是减少像素下面寻址电路所需的面积, 该面积小于  $15 \mu\text{m} \times 15 \mu\text{m}$ , 较佳地小于  $12 \mu\text{m} \times 12 \mu\text{m}$ , 更佳地为  $7 \mu\text{m} \times 7 \mu\text{m}$ 。

本发明的另一目的是提供一种以减小的能量损失将图像像素数据从模拟存储设备传到显示设备像素元件的显示设备和方法。

本发明的再一个目的是提供一种用较少元件将图像像素数据从模拟存储设备传到显示设备像素元件的显示设备和方法。

上述若干目的由本发明的方法与设备实现。

本发明提供一像素阵列，各像素包括：像素元件、像素更新电路、第一存储器元件与第一开关元件。各像素元件包括逐一控制像素元件的第一像素电极与第二像素电极，第二像素电极几乎联接阵列中的所有像素元件并被接至公共对电极。第一与第二像素电极构成第一电容器。像素元件具有阈电压与调制电压，前者是像素元件开始发光的电压，后者是像素元件发光的实用电压范围。像素更新电路用于通过电荷传递通路将与像素数据值相关的电荷从像素数据输入端传到第一像素电极。第一存储器元件耦接像素数据输入端，用于存贮与像素数据值相关的电荷。第一开关元件位于第一存储器元件与第一像素电极之间，用于控制通过电荷传递通路从第一存储器元件到第一像素电极的电荷传递。根据本发明，第一开关元件与第一存储器元件共同用来沿电荷传递通路将与像素数据值相关的电荷无源地传到第一电容器。阵列还包括向公共对电极施加动态变化的电压的装置。该动态变化电压在第一与第二驱动值之间变化，使像素数据值是介于零伏与数据电压值之间的信号，该数据电压值不小于调制电压，但小于调制电压与任一像素元件的阈电压之和。

第一驱动值较佳地等于像素元件阈电压的负值，第二驱动值较佳地等于像素元件阈电压与调制电压之和，因而对电极的动态变化电压吸收了像素元件的阈电压。

根据本发明一实施例，第一存储器元件具有第一与第二电极，第一电极耦接像素数据输入端，第二电极接地电平。

根据本发明另一实施例，各像素还包括把存贮的与像素数据值相关的电荷量转换成脉冲的转换装置，脉宽用于控制像素元件，该脉宽对应于存贮的电荷量。

转换装置包括比较器。

比较器包括开关电路与波整形电路。

开关电路包括电阻负载倒相器，倒相器的第一与第二供电连接线分别接较低与较高的供电电压，其中任一根第一或第二供电连接线接斜坡电压源。

波整形电路包括至少一个互补倒相器。

根据另一实施例，比较器包括分流电阻器与倒相器，例如前者是电阻器或晶体管，脉冲选通信号具有低占空因数，或包括-电流镜。

比较器还包括至少一只限流晶体管。

根据本发明若干较佳实施例，转换装置包括的晶体管少于 10 只，较佳少于 8 只，更佳少于 5 只。

根据另一实施例，与像素数据值相关的电荷在存入第一存储器元件时，会在第一存储器元件两端产生-数据电压，而无源电荷传递在第一像素电极上施加与该数据电压几乎相同的电压。

根据一实施例，像素更新电路还包括-镜像电路，把存贮在第一存储器元件上的像素数据值无损失地映射给像素元件的第一像素电极。镜像电路包括第一开关元件，它具有第一与第二数据电极和控制电极，第一开关元件的第一数据电极接第一存储器元件的-电极，其第二数据电极接第一像素电极；存贮数据值的第二存储器元件，它具有第一与第二电极，第二存储器元件的第一电极接第一开关元件的第二数据电极，其第二电极接第一开关元件的控制电极；和复位装置，用于复位存入第二存储器元件里的数据值。

或在本发明一阵列中，各像素的像素更新电路包括多个第一存储器元件，各第一存储器元件用于存贮像素数据值，各存储器元件第一存储器元件与第一像素电极之间有一电荷传递通路；和多个第一开关元件，各第一开关元件通过各自的电荷传递通路控制从第一存储器元件到第一像素电极的电荷传递，一个像素的第一开关元件相互独自地闭合。

本发明的阵列还包括位于第一存储器元件与数据线之间的第二开关元件，用于提供像素数据值。

像素元件包含液晶，例如 LCOS 元件。

第一存储器元件是存贮电容器。

第二存储器元件是存贮电容器。

第一与第二开关元件都是晶体管

阵列是有源矩阵。

根据另一实施例，本发明还提供一像素阵列，各像素包括：像素元件、像素更新电路、第一存储器元件和第一开关元件。各像素元件包括个别控制像素元件的第一像素电极和第二像素电极，第二像素电极几乎联接阵列中的所有像素元件并接公共对电极。第一与第二像素电极构成第一电容器。像素更新电路经电荷传递通路将与像素数据值相关的电荷从像素数据输入端传到第一像素电极。第一存储器元件耦接像素数据输入端，存贮与像素数据值相关的电荷。第一开关元件位于第一存储器元件与第一像素电极之间，控制电荷从第一存储

器元件经电荷传递通路传到第一像素电极。根据本发明，第一开关元件与第一存储器元件共同将与像素数据值相关的电荷沿电荷传递通路无源地传到第一电容器。像素更新电路包括-镜像电路，无损失地将存贮在第一存储器元件上的像素数据值映射到该像素元件的第一像素电极。镜像电路包括具有第一与第二数据电极和控制电极的第一开关元件，该第一开关元件的第一数据电极接第一存储器元件的一电极，其第二数据电极接第一像素电极；存贮数据值的第二存储器元件，它具有第一与第二电极，该第二存储器元件的第一电极接第一开关元件的第二数据电极，其第二电极接第一开关元件的控制电极；和复位装置，用于复位存入第二存储器元件里的数据值。

本发明还提供更新像素阵列中像素值的方法，每一像素包括一像素元件，各像素元件包括逐一控制像素元件的第一像素电极和第二像素电极，阵列中几乎所有像素元件的第二电极都接公共对电极，该像素元件具有阈电压与调制电压。该方法包括把与像素数据相关的电荷无源地传到第一像素电极，并对公共对电极加-动态变化电压，该电压在第一驱动值与第二驱动值之间变化，因而像素数据是一介于零伏与数据电压值之间的信号，该数据电压值不小于调制电压，但小于调制电压与任一像素元件的阈电压之和。

第一驱动值较佳地等于像素元件阈电压的负值，第二驱动值较佳地等于像素元件的阈电压与调制电压之和，因此对电极的动态变化电压吸收了像素元件的阈电压。

根据本发明一实施例，该方法还包括存贮与像素数据相关的电荷并把存贮的电荷转换成脉冲，脉宽控制该像素元件，脉宽对应于存贮的电荷量。

本发明还包括更新像素阵列像素值的方法，各像素包括-像素元件，它包括逐一控制像素元件的第一像素电极与第二像素电极，阵列中几乎所有像素元件的第二电极都接公共对电极。该方法包括把与像素数据相关的电荷无源地传到第一像素电极，存贮与像素数据相关的电荷，并将存贮的电荷转换成脉冲，脉宽控制像素元件，脉宽对应于存贮的电荷量。

在该方法的两实施例中，无源传递像素数据的步骤，包括无损失地将数据从第一存储器元件映射到像素元件的第一像素电极。

根据本发明一实施例，无源传递像素数据的步骤包括通过多个相互独立驱动的开关元件中一个开关元件传递来自一组存储器元件中任一个的数据。

通过以下详述并结合附图，本发明的种种特征与优点将变得更清楚了，附图用

实例来示明本发明的原理。

#### 附图简述

图 1 是原有技术的有源矩阵示意图

图 2 是 LCOS 器件的截面。

图 3 是液晶的电光特性图。

图 4 表示用 LCOS 像素投射彩色图像的 3 阀光学引擎。

图 5 表示在 3 光阀、小占空因数（约 33%）情况下，1 光阀的光输出与时间的关系。

图 6 表示在 3 光阀、占空因数 100% 的情况下，1 光阀的光输出与时间的关系。

图 7 表示用 LCOS 像素投射彩色图像的 1 阀光学引擎。

图 8 表示只有 1 光阀时光输出与时间的关系曲线图。

图 9 是对电极调制与时间的关系曲线和对得到像素电压的作用。

图 10 是 3 阀光学系统对电极切换方案中一像素或行的时序图。

图 11 是带脉冲光源的 1 阀光学系统对电极切换方案中一像素或行的时序图。

图 12 是带滚动色彩的 1 阀光学系统对电极切换方案中一像素或行的时序图。

图 13 示出本发明第一实施例的像素结构。

图 14 示出图 12 实施例中对电极不切换时模拟的电荷传递。

图 15 示出图 12 中存贮电容器  $C_{s1}$  和  $C_{s2}$  两端的电压之间的关系。

图 16 示出本发明第二实施例的像素结构。

图 17 示出本发明另一实施例的像素结构，包括对第二实施例增强的数据源。

图 18 示出本发明又一实施例的像素结构，包括对第一实施例增强的数据源。

图 19 示出本发明一实施例中像素内 PWM 的一般原理。

图 20 (a) 示出 DRAM 电路的第一配置，其中 PWM 按本发明一实施例实施。

图 20 (b) 示出图 20 (a) 电路对不同输入数据信号的模拟结果。

图 21 (a) 示出 DRAM 电路的第二配置，其中 PWM 按本发明一实施例实施。

图 21 (b) 示出图 21 (a) 电路对不同输入数据信号的模拟结果。

图 22 (a) 示出 DRAM 电路的第三配置，其中 PWM 按本发明一实施例实施。

图 22 (b) 示出图 22 (a) 电路对不同输入数据信号的模拟结果。

图 23 示出 DRAM 电路的第四配置，其中 PWM 按本发明一实施例实施。

图 24 示出 PWM 电路组合本发明一实施例的 DRAM 电路的第五配置，该 PWM 电路设置了限流晶体管。

图 25 示出在没有和有对电极拴牢时驱动液晶像素所需的电压范围。

图 26 是“一般”帧转换方案中列驱动器输出与镜像电压的曲线图。

图 27 示出在有和没有像素内存储器拴牢时的 CE 拴牢。

图 28 示出本发明一实施例的先进的 CE 拴牢。

### 示范实施例的描述

本发明将针对特定的实施例并参照附图来描述，但本发明不受此限制，只受限于权利要求。描绘的附图只是示意图，不作限制。为示例起见，图中一些元件的尺寸作了夸大，不按比例。

LCOS 显示器能显示彩色图像。通常，彩色图像以两种方式由 LCOS 像素构成：借助于 3 阀或 1 阀光学引擎。但也曾报道过 2 阀光学引擎，一个 LCOS 阀用于绿色，另一 LCOS 阀用于红兰色。

图 4 示意表示 3 阀光学引擎 11。分色镜 13 把入射光 12 分成红 (R)、绿 (G)、兰 (B) 分量，这些分量都被对准 LCOS 晶胞 14。三条映射的光束 15 再聚集在一起，复合光束 16 被投射 (在投射时) 或映射在视网膜上【在靠近肉眼 (NTE) 应用时】。各像素被连续或不连续的单色光照射 (图 5 和 6)。在投射时，投射屏上有尽量多的光很重要。此时占空因数尽量保持得大些，较佳为图 12 的 100%。

图 7 示意表示 1 阀光学引擎。或者，如图 8 所示，可见光谱的红 R、绿 G 与兰 B 分量对准 LCOS 矩阵 (与图像) 的各像素，这称为“时分复用”。可以使用两种系统：脉冲光源或滚动色彩。

在脉冲光源的情况下，光源呈脉动，交替发出可见光谱的 R、G 与 B 分量。可用的光源是 LED、激光器或配备了带快速快门 (如 LC 快门) 的光学系统的普通光源。所有像素同时被同一光色照射。

在滚动色彩情况下，移动色带通过合适的光学系统映射在 LCOS 矩阵上。这

类光学系统可以是例如图 7 所示的色轮 17，或是旋转棱镜（未示出）。各像素基本上接收可见光谱的 R、G、B 分量，不过在每一瞬间，一部分像素受红光照射，另一部分像素受绿光照射，而还有一部分像素受兰光照射。一般，一行的所有像素受同一光色照射。

图 25 示出在按本发明一实施例不用对电极 (CE) 拴牢、用 CE 拴牢和用先进的 CE 拴牢时，驱动 AM 的液晶像素所需的电压范围。下面说明先进的 CE 拴牢。

图 25 右边是典型液晶晶胞的传统透射曲线（电光响应特性），示出了阈电压  $V_t$  与调制电压  $V_m$ 。为防止损坏 LC 像素的永久 DC 分量，这种像素一般以 AC 模式驱动，这表明施加电压的极性定期交替（通常每帧时间发生一次）。对于像素晶体管自身和行列驱动器而言，这意味着它们必须能至少适应  $-(V_t+V_m) \sim (V_t+V_m)$  的电压跨度，说明总电压跨度为（大于）  $2(V_t+V_m)$ 。

图 26 示出列驱动器输出端之一的典型波形。为维持 DC 补偿，信号极性每一帧时间  $FT$  变化，产生正负帧。列驱动器必须应付  $2(V_t+V_m)$ ，而对电极电压（CE 电压）保持于  $V_t+V_m$ 。观察该列单个像素的镜（铝电极）上的电压，可看到像图 26 的镜电压一样的电压。像素镜电极上的电压在整个帧时间内保持不变，在选择了有源矩阵的相应线路时变化。实际的像素电压为  $V_{mirror}-V_{ce}$ ，是全对称的方波，如图 9 所示。

使用对电极栓牢（CE 栓牢），即向对电极加变化的电压，列驱动器必须产生的所需电压可减为  $(V_t+V_m)$ 。使用本发明一实施例的先进对电极栓牢，则所需电压范围还可减为有用的电压摆幅  $V_m$ 。

图 27 示出列驱动器输出电压被限于  $0V \sim (V_t+V_m)$ ，而对电极电压在正负帧之间从  $0V \sim V_t+V_m$  作 CE “栓牢”。同样还示出了得到的镜电压。

然而，根据像素内存贮电容器  $C_s$  接线的方法，有两种不同的情况（见图 27 的插图）。

若像素内存贮电容器  $C_s$  常接地（图 27 的状况 2），得到图 27 示出的镜信号，假定  $C_s \gg C_{lc}$ 。现在所有的电压都限于  $0V \sim V_t+V_m$ ，与 LCOS 相容，但实际像素电压  $(V_{mirror}-V_{ce})$  只对小部分帧时间正确，这部分对后选的像素（底行）小于对早选的像素（顶行）。

若  $C_s$  的“地”接 CE 电压（图 27 的状况 1），则得到虚线：镜电压跟随 CE 电压的跃变，有效像素电压  $(V_{mirror}-V_{ce})$  总是保持正确。但要指出，像素

晶体管必须承受的最大电压跨度为  $3 \times (V_t + V_m)$ 。对像素晶体管提供栅压的行驱动器也是如此。换言之，对列驱动器的电压要求已有效地降低，但对像素晶体管和行驱动器的电压要求却提高了。该方法常用于带外部驱动器的 TFT 显示器，因为列驱动器是最复杂的驱动器 IC，所以牺牲对（简单得多的）行驱动器与像素晶体管的电压要求来，有利于降低其电压要求。在 LCOS 中，所有的驱动器和像素晶体管都用同一技术制作，具有同样的电压限制，因而该方法不适用于 LCOS。

图 28 示出本发明一实施例的先进 CE 拴牢的情况。CE 不仅补偿极性转换，还吸收液晶或其至少一部分的阈电压  $V_t$ ，该部分可能是 25% 或以上，较佳为 50% 或以上，更佳为 75% 或以上，最佳为 80% 或以上。吸收一部分液晶阈电压  $V_t$  可明显减小所需电压，更好地实现切换速度，因为在大多数液晶模式中切换到准确的阈电压很慢，即光学响应很慢，而切换到低于阈电压的电压一般较快。

在图 28 的实例中，对电极拴牢在电压  $-V_t$  与  $V_t + V_m$  之间，旨在将 LCOS 像素电极或镜电极上的电压限制于间隔  $(0, V_m)$ 。

图 28 的插图示出实施增强型 CE 拴牢的示意线路图。存贮电容器  $C_s$  的一电极接地。设置的缓冲元件适于将存贮电容器  $C_s$  上的电压按命令复制到像素电容器  $C_{lc}$ ，例如一种与 CE 电压拴牢同步地采样的采样保持缓冲器。在图 28 的插图示出的线路图中，像素电路是一简单的 DRAM 电路，但其它合适的有像素存储器的电路诸如像下述的双 DRAM 或斗链像素电路，也可配用于该增强型 CE 拴牢电路。

在选择了某一行有源矩阵时，就将新的列数据  $V_d$  写到存贮电容器  $C_s$  上，并由缓冲元件按命令将该数据值复制到像素镜。在把列数据复制到像素镜上的同时（或稍后），将互补数据  $V_m - V_d$  存入存储器  $C_s$ 。每当出现 CE 拴牢，就把存储器中的该电压复制到镜。在负帧期间，互补数据被写到像素镜，常规数据写到存储器，这样实际的像素电压  $(V_{mirror} - V_{ce})$  总是正确，且所有电压（列驱动器、像素晶体管与行驱动器）都减低。

这样就减轻了对 LCOS 像素电极的电压要求，即允许使用较高电压的 LC 材料。

还可以利用电压过驱动法加快像素响应时间。

先进的 CE 拴牢法尽可能好地利用可用的 CMOS 电压间隔，其范围为  $0V \sim V_{max}$ ， $V_{max}$  是最大可用电压，与技术相关，例如  $V_{max}$  等于  $3V$  或  $5V$ 。原有 CMOS

电压间隔通过移到液晶电光特性的调制部分而得到完好的利用（见图 25）。在上例中，它被移到阈电压与阈电压与调制电压之和之间的间隔  $[V_t, V_t+V_m]$ 。若调制电压小于最大电压 ( $V_m < V_{max}$ )，则电压余量  $V_{max}-V_m$  可在间隔  $[V_t, V_t+V_m]$  的上下对称地分割，此时可在  $-[V_t-(V_{max}-V_m)/2]$  与  $+[V_t+V_m+(V_{max}-V_m)/2]$  之间执行 CE 捆牢法。“芯片上”电压限于 0V 与  $V_{max}$  之间的某一电压。注意，若  $V_m=V_{max}$ ，则可得到与以上同样的结果。

下面举一实例： $V_{max}=5V$ ,  $V_t=2V$ ,  $V_m=4V$ 。这表明  $V_t+V_m=6V$ ，它大于  $V_{max}$ ，故不能实现一般的 CE 捆牢法。不过  $V_m < V_{max}$ ，还能实施本发明的先进型 CE 捆牢法。最大电压与调制电压的差值可以但不一定在所需电压范围的上下分割，这说明 CE 捆牢法可在  $-1.5V$  与  $+6.5V$  之间实施。列驱动器上的电压为  $0\sim 5V$ ，而液晶将看到  $1.5\sim 6.5V$  的电压。

要注意，为保持像素的亮度在 2 个连续帧内不变，要将数据与互补数据置于该像素上（作为对电极开关）。根据调制电压与选用的被切换的两个对电极电压，与之对应的电压之和（ $V$  数据+ $V$  互补数据）不变。

可以区分两种配置：行一次和帧一次。

普通显示器更新法为行一次更新法，作逐线更新，同时不照射 AM。所有的线被写后，所有像素电极都接受该合适的电压，而各像素的 LC 达到稳态，光源再次变激活。稍后，光源再次去激活，对电极极性切换，显示再被逐线写，此时数据对应于新的对电极极性。至少在显示器中写数据的时间不能被用来照射显示器，这仅适用于占空因数小而且配用小占空因数脉冲光源的 3 阀系统。若组合了对电极切换或捆牢法，则行一次法不与滚动色彩一起工作。

在帧一次法中，最大占空因数可供光源使用。这只有在像素电压的绝对值在任一时刻（而且包含在对电极刚切换后）都等于期望的 RMS 电压才能实现。因该对电极为所有像素共用，故要用帧一次法。帧一次法意味着各像素里有一存储器元件。最小存储器元件功能是“写”（把模拟数据写到像素存储器元件，而像素电极的电压保持不变）和“传递”（模拟数据从存储器元件传到像素电极；该功能通常但不一定损坏存储器单元里的数据）。

在滚动色彩结合对电极切换的情况下，全屏像素电极出现信息更新，但对每一线而言，在写新的色彩必须这么做。

对于 3 阀光学系统，在“写”步骤期间写新数据时，保持像素电极上的信息（图 10）。在写底线时，对电极切换极性，而所有像素电极接收（通过“传

递”步骤 T) 其新的电压。这样, 图 10 的时序图只对一行的所有像素有效。

对配备脉冲光源的 1 阀光学系统, 在“写”步骤期间在存储器元件里写新数据时(预期是新色彩与新的对电极极性), 保持像素电极上的信息(图 11)。在写底线时, 光源激活而且对电极改变极性, 同时所有的像素电极达到它们新的电压(通过“传递”步骤)。只是在此之后, 当每一像素 LC 达到其最终值时, 有新色彩的光源才被激活, 因而图 11 的时序图仅对一行的所有像素生效。图 11 中, 对电极的极性在每一子帧后变化, 但也可例如在每一帧后变化, 或在每两个子帧后变化。

对于有滚动色彩的 1 阀光学系统, 3 条水平色带在显示屏上自上而下(或反之)移动。当某一色带刚刚完全通过某一行时, 该行的像素电极电压就采纳在此期间写入的该新色彩的电压。这是适用“写+传递”步骤实现的。稍后, 运用“写”步骤将互补数据写入这些像素的存储单元中(图 12)。对电极切换在任一瞬间发生, 只要两个“传递”步骤相互不紧跟, 即要求“写”步骤在“传递”步骤之前。这表明对电极能在每个子帧最多可切换一次(图 12 所示)。也可以每一子帧不到一次, 如每帧一次。

本发明第一实施例的像素结构示于图 13, 它包括三只串接的独立驱动的开关元件, 即晶体管 M1~M3, 并应用对电极切换技术。对电极切换的主要优点是降低了加工成本: 低的电压范围可使用便宜的 IC 工艺。该电路克服了应用于基本的单像素单存贮结构的对电极切换的一大缺点, 即可使照射占空因数最大, 从而改善了显示系统的整个光通过量。而且, 元件数也少, 可在小的像素面积里形成控制电路, 即像素面积小于  $15 \times 15 = 225$  微米<sup>2</sup>, 更佳为等于或小于  $12 \times 12 = 144$  微米<sup>2</sup>, 最佳等于或小于  $7 \times 7 = 49$  微米<sup>2</sup>。存储器元件有两只, 即存贮电容器 Cs1 与 Cs2。存贮电容器 Cs1 的第一电极接在第一和第二开关元件 M1 与 M2 之间, 其第二电板接固定电压电平, 例如接地。存贮电容器 Cs2 悬置, 它施加一额外的掩膜或步骤作 IC 处理(APA 注入或双聚工艺)。其第一电极接在第二和第三开关元件 M2 和 M3 之间, 第二电极接第二开关元件 M2 的驱动电极。存贮电容器 Cs2 在一帧内保持图像数据, 而另一存贮电容器 Cs1 被下一帧数据更新。对电极切换后, 新的图像数据从 Cs1 沿电荷传递通路传到 Cs2。该电路的一个特征在于可构成一“模拟移位寄存器”: 信号从 Cs1 传到 Cs2 而不损失信号幅度。沿电荷传递通路的无损失信号传递, 要再用两只晶体管, 使有源矩阵的驱动有些复杂化【未示出时序电路要再提供每行两个信号(f12 与

fi3)】。

下面描述在受控于图 13 所示像素结构的 LCOS 像素内显示数据时执行的操作顺序。图 14 示出模拟的电荷传递（该例不切换对电极）。下面的所有驱动信号均由时序电路（未示出）提供。

在“写”步骤中，数据电压从列 C01 传到第一存储器元件，即存贮电容器 Cs1，这要求通过选通信号“行”激活第一开关元件，即晶体管 M1。该操作相当于存贮下一帧内容。

接着是“传递”步骤。首先在 C1 激活另一开关元件即晶体管 M3，为实际的无损失传递作准备。此时，第二开关元件晶体管 M2 的栅压为低电位，如 0V。存贮电容器 Cs2 在其两端跌落的电压由  $V_{\text{复位}}$  决定。存贮电容器 Cs2 一被晶体管 M3 复位（在  $t_2$ ，M3 的栅极回到地电位），即在  $t_3$  激活另一开关元件即晶体管 M2，在该开关元件切断前，让 Cs2 像晶体管 M2 一样多地放电。在  $t_3$  接通 M2 时， $f_{i2}$  变高到例如  $V_{\text{dd}}$ ，而  $V_{\text{复位}}$  因 Cs2 上的电荷而立即跟上，该镜电压在短时间（ $\sim 20\text{ns}$ ）内最大达到例如 8V；延长  $V_{\text{复位}}$  上勤务员时间可减小该峰值的高度：在图 14 实例中定为 1ns，上升时间为 10ns 的其它实例中，峰值电压刚超过 6.5V，这是因为对 Cs2 给出了放电时间，而 M2 的栅压仍在升高。

从图 14 曲线的 20 与 21 部分可以看出，Cs2 上的部分电荷沿电荷传递通路流向 Cs1。Cs1 上的电压不能超过  $f_{i2}-V_{\text{th}}$ ，假定对正电荷传向 Cs1 满足了所有的条件。在  $t_4$  切断晶体管 M2，使镜电压  $V_{\text{镜}}$  变为先前存贮在存贮电容器 Cs1 上的电压。此时因先前写在存贮电容器 Cs1 上的值现在已置于像素电极上，故执行“传递”步骤。

下一步在  $t_5$ ，通过向“行”加一高压例如  $V_{\text{dd}}$ ，开关元件晶体管 M1 被激活，数据电压从列传到第一存储器元件即存贮电容器 Cs1，因而在该“写”步骤中存贮了下一帧的数据。在  $t_6$ ，开关元件晶体管 M1 再次被去激，就能执行上述的“传递”步骤。

电路工作可归纳如下：存储器元件即存贮电容器 Cs2 预置到参考电压  $V_{\text{ref}, s2}$ ，开关元件 M2 使存贮电容器 Cs2 对另一存储器元件即存贮电容器 Cs1 充电，充电量准确地限于  $V_{\text{ref}, s2}-V_{\text{数据}}$ ，于是 Cs2 两端的电压为  $V_{\text{ref}, s2}$ 【预置】-  $(V_{\text{ref}, s2}-V_{\text{数据}})$ 【到 Cs1 的量】=  $V_{\text{数据}}$ 。注意， $V_{\text{数据}}$  等于 LC 驱动电压的调制部分。阈电压部分  $V_{\text{th1c}}$  通过对电极切换得到。

应结合电压电平  $V_{\text{行}}$ 、 $f_{i2}$ 、 $f_{i3}$  与  $V_{\text{复位}}$  正确地选择存贮电容器 Cs1 与 Cs2

的相对大小。为示明工作极限, 图 15 示出了  $C_{s1}$  两端与  $C_{s2}$  两端的电压间的关系。要注意三个工作区: “镜” 节点上  $M2$  端接衬底二极管箝位区、数据电压放大  $(C_{s2}+C_{lc})/C_{s1}$  倍的第二线性区和  $M2$  从不进入导通的第三饱和区。

较佳地, 像素电极(镜)一侧晶体管  $M2$  的端接二极管禁止负电压。例如当  $C_{s1}$  与  $C_{s2}$  相比为很大而且  $C_{s1}$  为低电位时,  $V_{ds}$  可变负: 接通  $M2$  会使  $C_{s2}$  完全充电到低电压电平。若没有端接二极管, 则断开  $C_{s2}$  可将镜电压“推”到零伏以下。较佳地,  $C_{s1}$  与  $C_{s2}$  的值一样, 而  $C_{lc}$  比  $C_{s2}$  小得多。

线性区的特征是将  $V_{ds}$  放大  $(C_{s2}+C_{lc})/C_{s1}$  倍。

在电荷传递到零偏出  $C_{s2}$  与  $C_{lc}$  的有限比值造成的误差电压之前, 作对电极切换。此外, 这样还消除了对存贮电容  $C_{s2}$  与像素  $C_{lc}$  准确比值的相依性。然而, 一旦切换了对电极, 必须仍能对晶体管  $M3$  复位  $C_{s2}$ :  $V_{ds} = \max(V_{pp, counter-electrode} \times C_{lc} / (C_{lc} + C_{s2})) \leq f_{i3} - V_{th}$ 。换言之,  $f_{i3}$  必须大得足以在对电极切换后使  $C_{s2}$  复位。

本发明另一实施例示于图 16, 该电路对每一像素配备了第二只即“影子”存储器元件, 即存贮下一帧例如相反电气极性电压的存贮电容器, 还设置了第二条即影子电荷传递通路。当“影子”存储器元件更新时, “激活”存储器元件就驱动整个像素矩阵。与对电极电压一起, 接像素阵列(AM)的激活存储器元件在液晶两端形成单极性电场图案。两电极(对电极与像素电极)形成电容器  $C_{lc}$ ; 电容与 LC 层有关, 该电容器通常为非线性。将对电极切换至另一电压, 使电场变化, 而切换到合适的电压甚至能使电场改变极性。切换对电极电压旨在 LC 两端形成交变的电场。电场图案被改变, 得到的图像就不再正确, 因此该影子存储器元件存贮了在切换对电极电压之后获取正确的电场(相反的电气极性)所需的电压。实际上对电极切换可明显减小所需的像素电极电压范围。影子存储器元件避免了在对电极切换后扫描整个 AM, 因此可在较短的时窗内作切换。影子存储器元件使像素电压正确的时窗变得最大, 或者说: 得出最大的照射占空因数。

虽然示出了每一像素两个存储器元件和每一像素两条电荷传递通路, 但本发明并不受此限制。开关元件即晶体管  $SA$ 、 $SB$ 、 $MA$ 、 $MB$  可以是  $n$  型或  $p$  型, 但  $n$  型通常有较高的迁移率参数, 因而更快速而予以优选。悬置的  $p$  型的优点在于体效应最小, 不过单晶体管开关电路总要失去一个阈电压  $V_t$ , 而且列电压幅度总是限于最大栅压减  $V_t$ 。存储器元件即存贮电容器  $C_{sta}$ 、 $C_{stb}$  可以不悬

置，这样就简化了对 IC 工艺的要求或降低其成本（如不要求双聚工艺）。

分别加在两只开关元件即晶体管 MA 与 MB 棚极的读 A 与读 B 信号，基本上相互相反，它们连接带存贮电容器 Csta 与 Cstb 的匝上的像素电极。两串接的存贮电容器形成双存储器元件结构，称为双 DRAM 或 D<sup>2</sup>RAM。DRAM\_a 是存贮一帧（如一个极性）的电压电平的存贮器元件，DRAM\_b 是用下一帧或子帧（如反极性或另一色彩）电压数据更新的存储器元件。实际上这两个信号读 A 与读 B 不可同时激活成消除两 DRAM 之间的不希望的电荷传递。

当读 A 信号为高即激活时，存储器元件 DRAM\_a 就驱动像素矩阵（存贮电容器 Csta 的数据置于相应的像素元件 C<sub>lc</sub> 上），禁止更新存贮电容器 Csta（行 A 信号不激活）。在存储器元件 DRAM\_a 驱动相应像素元件 C<sub>lc</sub> 时，则 DRAM\_b 矩阵的内容被更新。

在“写+传递”步骤中，读 A 为高即激活，读 B 为低即不激活，行 B 也为低即不激活。读 A 高即激活，直到 Csta 达到期望的电压。或读 A 为高即激活，读 B 为低即不激活，行 B 也为低即不激活。读 A 高即激活，直到 Csta 达到期望的电压。

在“写”步骤中，若读 A 为高即激活，则行 B 进入高即激活态，直到 Cstb 达到由数据线列上的数据值给出的期望电压。若读 B 为高即激活，则行 A 进入高即激活态，直到 Csta 达到由数据线列上的数据值给出的期望电压。

在后一“传递”步骤中，若读 B 为高即激活态，读 A 就进入低即不激活。读 B 进入高/激活，直到下一“传递”或“写+传递”步骤中。若读 A 为高即激活态，读 B 就进入低即不激活，读 A 进入高/激活，直到下一“传递”或“写+传递”步骤。

图 16 的电路只需要 4 只电压开关元件即晶体管 SA、MA、SB、MB 和 2 只低压存储器元件即存贮电容器 Csta、Cstb。存贮电容器 Csta、Cstb 可构成为栅电容器，这些电容器的电容密度比双聚的中高压存贮电容器更高。运用两只串接晶体管，呈现与典型的 DRAM 结构同样的体效应，因为数据电压决不超过  $V_{max}(\text{栅}) - V_t$ 。像素开关可用 CMOS 开关构成，但这会使晶体管数量加倍，还要求有偏置阱及其消除区，这种方法的成本比面积加倍还高。

理想的双平行电路驱动/底下像素矩阵，可提供更多的平行度，该想法受到静态 AM 或纯数字 AM 的关注【如用于驱动铁电液晶（FLC）】。

只要更新速度足够高，不同的单面板色彩方案与对电极切换的组合可以配

用于上述若干 AM 实施例。更新速度的提高程度取决于缓解色分裂效应所需的最小速度和使用的色彩方案，最小的提高伴随着帧连续色彩方案。

运用典型的 DRAM 状 AM，带帧连续色彩的光输出被面板照明的占空因数减少，在滤色器中被减少到>60%的白光损失。然而，上述描述为 D<sup>2</sup>RAM 结构的本发明若干实施例却允许对所有的像素电压作准同时更新，这表明帧连续色彩方案的占空因数极接近 100%。帧速率要求至少是三重面板装置的三倍。为减少色分裂人为现象，希望速率较高。

滚动色彩（色轮）与旋转棱镜方案（从 Philips 可知）对经典的 DRAM 帧连续方案作了改进，因为光通过量较大。色轮可以避免 60% 损失的色恢复技术组合使用，旋转棱镜不用滤色器而用“色分离器”，故很少或不浪费光功率。

应用对电极转换要求两个 DRAM 都被更新，这样可在任何时刻作对电极转换，但这要求帧速率加倍：或是必须预见到双列像素布设，或是列驱动器有两倍的平行度。

根据另一实施例，它是图 16 电路的修正电路，数据与互补数据被同时存贮在存储器元件即存贮电容器 C1 与 C2 上。对应于该实施例的图示电路示于图 17，该例让多个行信号减为每行一个，其优点是对某些控制方案如对带对电极切换的滚动色彩而言，顺序“写+传递”后接“写”被一个瞬时动作取代了，更具体地说，开关元件 M1 与 M3 同时断开，而且开关元件 M2 断开而开关元件 M4 闭合或者与之相反。于是“传递”动作如下：若 M2 断开，则 M2 闭合，之后 M4 断开；若 M4 断开，则 M4 闭合，之后 M2 断开。2 个动作（“写”+“传递”后接“写”）被 1 个动作取代对列驱动器设计有重大影响。由于数据与互补数据总是同时置于存储器元件即存贮电容器上，所以通过使用同样复杂程度的差分模拟电路（运算放大器），可将列驱动器中的数据流（带宽）比普通方法减少一半。

根据又一实施例，可用类似方法修改图 13 的电路，结果示于图 18。此时，同样将数据与互补数据同时分别置于存储器元件即存贮电容器 C5、C6 上。该例的优点在于，对于某些控制方案，例如带对电极切换的滚动色彩，列驱动器两次激活的顺序“写+传递”后接“写”，被顺序“写”与“传递”取代，于是“写”步骤包括断开两个开关元件即晶体管 M9 与 M10，同时所有其它开关元件（图中的晶体管）都保持闭合，这样就把数据分别存贮在存储器元件即存贮电容器 C5 与 C6 上。然后，“传递”步骤包括：若必须传递存贮电容器 C5 上

的数据，就断开开关元件 M11，而开关元件 M12 保持闭合；若必须传递存贮电容器 C6 上的数据，则断开 M12，M11 保持闭合。之后，执行以上对图 13 说明的方法。像前一实施例一样，用 1 个动作取代 2 个动作，对列驱动器设计具有同样的作用。

双 DRAM 涉及模拟驱 LC 像素。众所周知，在 LC 像素中，从一个中间灰度转换到另一灰度极缓慢，而从全白转换到全黑（和反之）一般较快。因此根据本发明另一实施例，对以上任一电路应用带脉宽调制（PWM）的二进制寻址法（黑/白）来提供灰度，由此提供优化的像素响应速度。

使用脉宽调制的优点在于便于选择 LC 材料与模式：只需黑白行为符合规程。中间行为与此无关，例如在使用 PWM 时，允许 LC 像素有滞后。

PWM 像素结构的一般原理示于图 19。像素 P 包括一开关元件诸如开关晶体管 T，用于让列线 COL 上出现的电荷存贮到存贮电容器 Cs 上；一 PWM 电路，用于对存贮在存贮电容器 Cs 上的电荷作脉宽调制而得到脉冲信号，其脉宽对应于存贮在 Cs 上的电荷量。该脉冲信号加到 LC 器件的像素电极。加到像素电极的脉冲越宽，则像素处于第一态例如亮态或暗态的时间就越长，出现更亮或更暗的像素。

图 19 的 PWM 电路包括一比较器，用于比较对应于存贮在存贮电容器 Cs 上的电子电荷的信号和在外部产生的斜坡信号。只要斜坡信号如斜坡电压低于对应于存贮电荷的信号如存贮电容器 Cs 上的电压，比较器的供电电压就加到像素电极。一旦斜坡信号超过对应于存贮的电荷，像素电极上的电压就变为 0 伏，在像素电极上形成脉冲电压信号，脉宽与存贮的电荷量线性相关。需要的话，改变斜坡电压形状可使脉宽与存贮电压间的关系为非线性。

由于液晶实际上在极端状态（最大电压或 0 伏）之间切换，故其响应时间低于获取灰度值的模拟电压调制驱动。

良好的比较器只能用许多晶体管构成。由于像素下面的空间限制，本发明使用了非完美的比较器电路，但结果很实用（信号的 PWM）。

在以上表明 PWM 原理的图中，为简化起见，模拟存储器单元如双 DRAM 或斗链单元用简单的包括一只晶体管与一只存贮电容器 Cs 的 DRAM 代替。

图 20 (a) 示出 DRAM 单元 30 的实施例，其中形成了 PWM 电路 31 的第一实施例。如前所述，DRAM 单元 30 可用任一模拟存储器单元取代，诸如 DDRAM 单元或斗链单元。PWM 电路 31 包括开关电路 32 与波整形电路 33。

在图 20 (a) 的实施例中, 开关电路 32 包括耦接在源 V2 提供的倾斜低电压与源 V1 提供的恒定供电电压之间的电阻负载倒相器, 它包括由晶体管 M9 或耗尽负载构成的上拉电阻器和下拉串耦电压的开关晶体管 M12。

波整形电路 33 包括改善输出信号的互补倒相器, 它包括串耦在地与供电电压 V1 之间的一只 NMOS 晶体管 M13 和一只 PMOS 晶体管 M10, 二者的栅极相互耦接。

电路功能如下, 电荷贮存在贮存电容器 C1 上, 对应于该电荷的电压与倾斜电压 V2 作比较, V2 加在开关电路 32 的电阻负载倒相器的低压连接线。只要 C1 上的电压超过电阻负载倒相器低压接线的倾斜电压 V2 与晶体管 M12 的阈电压之和, 晶体管 M12 就导通, 而且在晶体管 M10 与 M13 的栅极间节点电压具有第一“高”电平, 它几乎等于供电电压 V1。一旦倾斜电压 V2 与晶体管 M12 的阈电压之和超过对应于贮存在电容器 C1 上的电荷的电压, 晶体管 M12 就切断而不再导通。晶体管 M10 与 M13 的栅极之间的节点电压具有几乎为零的第二“低”电平。

若晶体管 M10 与 M13 的栅极之间的节点电压具有第一“高”电平, 则 NMOS 晶体管 M13 处于“通”态, 而 PMOS 晶体管 M10 为“断”态, 负载电容器 C2 对地放电。若晶体管 M10 与 M13 的栅极之间的节点电压具有第二“低”电平, 则 PMOS 晶体管 M10 为“通”态, NMOS 晶体管 M13 为“断”态, 像素元件的 LC 电容器 C2 充电到供电电平 V1。

以上情况表明, 像素电容被清洁的脉冲波驱动, 该脉冲波在第一与第二稳定态之间切换, 例如该两稳定态分别具有零电平与 V1。脉宽取决于贮存在电容器 C1 上的电荷量。

图 20 (a) 电路的模拟结果示于图 20 (b), 该图包括三部分: 上部为施加的信号, 中间是电阻负载倒相器对不同输入数据信号的输出, 下部是像素电极电压, 即互补倒相器对不同数据信号的输出。施加的信号包括斜坡信号 V2, 线路选择信号 V3 与视频数据 (模拟列数据) V4。曲线图上部左框里的视频数据包括多个 0.5~3.5 伏的数据信号, 步进为 0.5 伏。在第二框内, 数据信号总是 0.5 伏。线路选择信号 V3 为 5 伏高, 斜坡信号 V2 为 -0.5~2 伏。可以看出, 例如对于 2 伏的输入数据信号 V4, 在图 20 (b) 中用\*号指示对应于该信号的曲线, 电阻负载倒相器 32 的输出并非良好的脉冲, 但互补倒相器的输出已接近真正的脉冲。

图 21 (a) 示出 DRAM 单元 30 的实施例, 其中构成了 PWM 电路 34 的第二实施例。如前所述, DRAM 单元 30 可用任一模拟存储器单元诸如 DDRAM 或斗链单元取代。PWM 电路 34 包括开关电路 35 和波整形电路 33。

波整形电路 33 已对图 20 (a) 作了说明。

在图 21 (a) 的实施例中, 开关电路 35 包括耦接在地与斜供电电压 V2 之间的互补倒相器, 它包括串耦在地与供电电压 V2 之间的 NMOS 晶体管 M12 与 PMOS 晶体管 M14, 因而二者的栅极一起接到存贮电容器 C1 的电板之一。

电路作用如下。电荷存贮在存贮电容器 C1 上, 对应于该电荷的电压与斜电压 V2 作比较, 该 V2 加在开关电路 35 的互补倒相器的低压连接线上。只要存贮电容器 C1 上的电压超过斜电压 V2, 晶体管 M14 就导通, 电流导入地, 晶体管 M10 与 M13 的栅极的节点电压为第一“高”电平, 几乎等于 V2, 一旦斜电压 V2 超过对应于存贮在电容器 C1 上的电荷的电压, 晶体管 M14 被切断而不再导通。晶体管 M10 与 M13 的栅极间的节点电压具有第二“低”电平, 基本上为零。

若晶体管 M10 与 M13 的栅极间的节点电压具有电压“高”电平, 则 NMOS 晶体管 M13 为“通”态, PMOS 晶体管 M10 为“断”态, 负载电容器 C2 对地放电。若晶体管 M10 与 M13 的栅极间的节点电压具有第二“低”电平, 则 PMOS 晶体管 M10 为“通”态, NMOS 晶体管 M13 为“断”态, 像素元件的 LC 电容器 C2 充电到供电电平 V1。

以上表明, 像素电容受清洁的脉冲波驱动, 该脉冲波在第一与第二稳定态如电平为零与 V1 之间切换, 脉宽取决于存贮在存贮电容器 C1 上的电荷量。

图 21 (a) 电路的模拟结果示于图 21 (b)。该图包括三部分: 上部为施加的信号, 中间是电阻负载倒相器对不同输入数据信号的输出, 下部为像素电极电压, 即互补倒相器对不同数据信号的输出。施加的信号包括斜坡信号 V2、线路选择信号 V3 和视频数据 (模拟列数据) V4。图上部左框里的视频数据包括多个 0.8~2 伏的数据信号, 步进为 0.3 伏。第二框中, 数据信号总为 0.8 伏。线路信号 V3 为 5 伏高, 但也可更低。斜坡信号 V2 为 1.5~3.5 伏。可以看出, 例如对 1.4 伏的输入数据信号 V4, 对应于该信号的曲线在图 21 (b) 中用\*号指示, 电阻负载倒相器 35 的输出不是良好的脉冲, 但互补倒相器的输出几乎完美地接近真正的脉冲。

图 22 (a) 示出 DRAM 单元 30 的实施例, 其中构成了 PWM 电路 36 的第三实施例。如前所述, DRAM 单元 30 可用任一模拟存储器单元例如 DDRAM 或斗链单

元取代。PWM 电路 36 包括分流电阻器 R1 与波整形电路 33。波整形电路 33 已对图 20 (a) 作了说明。

电路功能如下。输入信号存贮在电容器 C1 上并通过极高电阻器 R1 接地，从而形成 RC 电路。电容器 C1 将对地放电，时间常数取决于电阻器 R1 的电阻值与存贮电容器 C1 的电容值。只要对应于存贮在 C1 上的电荷的电压足够高，晶体管 M12 就导通，电容器 C2 对地放电。当 C1 上的电荷衰减得足够多，即对应于 C1 上剩余电荷的电压跌到某一值以下时，晶体管 M12 被切断，晶体管 M14 接“通”，像素元件的 LC 电容器 C2 充电到高压电平 V1。

上述情况表明，像素电容被脉冲波驱动，该脉冲波在例如电平为零与 V1 的第一与第二稳定态之间切换，脉宽取决于存贮在存贮电容器 C1 上的电荷量和 C1 的放电时间常数。

要得到充分的脉宽，就需要足够高的电阻值，如对于 360Hz 的帧速率，它应用于略小于 3ms 的帧时间，电路的 RC 常数应为 3ms 量级。若 Cs 为 20fF 量级，则 R 为 10<sup>7</sup> 欧姆量级。该电路因无需提供斜坡信号，极令人关注。该电阻器可用带低占空因数的脉冲栅极信号的晶体管模拟。

图 22 (a) 电路的模拟结果示于图 22 (b)。该图包括三部分：上部为施加的信号，中间是存贮电容器 C1 对不同输入数据信号的电压，下部为像素电极电压，即互补倒相器对不同数据信号的输出。施加的信号包括线选信号 V3 和视频数据（模拟列数据）V4。图上部左框里的视频数据 V4 包括多个 2.3~3.5 伏的数据信号，步进为 0.3 伏。在第二框内，数据信号总为 2.3 伏。线选信号 V3 为 5 伏高。可以看出，例如对于 2.9 伏的输入数据信号 V4，对应于该信号的曲线在图 22 (b) 中用\*号指示，互补倒相器 33 的输出近似为脉冲信号。若互补倒相器 33 后接第二倒相器（未图示），则输出信号的脉冲陡度更佳。

图 23 示出本发明另一实施例，包括在其内构成 PWM 电路 38 第三实施例的 DRAM 单元 30。如前所述，DRAM 单元 30 可用任一存储器单元诸如 DDRAM 或斗链单元取代。PWM 电路 38 包括已对图 20 说明的波整形电路 33。图 23 的实施例与图 22 的实施例相近，但电阻器 37 被电流镜 39 取代。该电流镜包括第一晶体管 M17、第二晶体管 M18 和电流源 I1，M17 在像素内，M18 与 I1 为显示器多个像素共用。

电路功能如下。晶体管 M18 与 M17 用作电流镜。整个阵列或一部分阵列（如单一行或列或者一组行或列）共用的电流源 I1 把固定电流引入晶体管 M18。由

于 M17 的栅-源电压与 M18 相同, 故流过 M17 的电流正比于流过 M18 的电流, 因而正比于电流源 I1 提供的电流, 比例系数为晶体管 M17 的沟道宽长比与晶体管 M18 的沟道宽长比。若 M17 的沟道宽长比比 M18 小得多, 则 M17 里引入极小的电流。晶体管 M18 包含在每一像素中, 或者为若干像素、一行或一列像素或甚至整个阵列共用。在除了第一种情况的所有情况下, M18 并不占用每一像素内大部分有限的硅面积。

引入 M17 的小电流使电容器 C1 以恒定速率放电。只要对应于存贮在 C1 上的电荷的电压足够高, 晶体管 M12 就导通, 而电容器 C2 对地放电。当 C1 上的电荷足够衰减, 即对应于 C1 上剩余电荷的电压跌到低于一定值时, 晶体管 M12 断开, 晶体管 M14 接“通”, 像素元件的 LC 电容器 C2 充电到高压电平 V1。

上述情况表明, 像素电容 C2 被脉冲波驱动, 该脉冲波在电平为零与 V1 的第一与第二稳定态之间切换, 脉宽取决于起初存贮在存贮电容器 C1 上的电荷量、电流源 I1 引入的电流值及晶体管 M17 与 M18 的沟道宽长比之比。

运用前一实施例, 若互补倒相器 33 后接第二倒相器 (未图示), 输出信号的脉冲陡度更佳。

根据另一实施例, 可在任一倒相器结构中设置限流晶体管 M20~M22。图 24 示出了这种情况, 一种这样的倒相器结构伴有限晶体管 M21、M22。图中的倒相器结构用作比较器, 但限流晶体管也可用于波整形电路。限流晶体管 M21、M22 要用选通信号 V8 与 V9 驱动。

该电路的功能如下: 在电容器 C3 上存贮了一模拟电压。这在图 24 中被示为固定电压源 V1, 它通过开关元件先接 C3, 后与 C3 断开。含 M12 与 M14 的倒相器用作比较器, 对 C3 存贮的电压与倒相器处身的交变电压作比较。由于倒相器供电电压是斜坡信号 V5, 故该交变电压随时间变化。倒相器输出是脉冲信号, 在倒相器交变电压低于存贮在存贮电容器 C3 上的电压时为低, 而在该交变电压超过存贮在 C3 上的电压时为高, 与图 21 (a) 的 PWM 实施例中的比较器完全一样。这种比较器的功耗极高, 因为倒相器工作几乎一直接近其电流最大的交变点。为限制功耗, 加了两只用作开关的限流晶体管 M21 与 M22, 它们在大部分时间被切断, 由小占因数的选通脉冲定期地同时激活。两限流晶体管 M21、M22 每次导通时, 倒相器作为比较器, 将其交变电压与存贮电容器 C3 的电压作比较, 倒相器输出相应地变化。该输出例如可用作作为波整形电路的第二倒相器的输入 (图 24 未示出)。限流晶体管 M21、M22 每次断开, 倒相器不

工作，但贮存在像素电容器 C2 上的输出电压保持不变。而且，只要 M21、M22 断开，就没有电流流过倒相器，这就限制了该倒相器电路的功耗。

限流晶体管 M21、M22 还可配用于作为波整形电路的倒相器，此时输入电压是比较器的输出，输出电压接像素电容，而且倒相器供电电压不变。

图 24 所示有限流晶体管 M21、M22 的电路，其优点是大大减小了电流耗用。

本发明的一个创新方面是 PWM 电路所需的晶体管数量少：不到 10 只。为将 PWM 电路置于每一像素下面有限的空间里，这一点很重要。

本发明已参照若干较佳实施例作了图示与描述，但本领域的技术人员应明白，可在形式和细节上作出各种变化或修正而不违背本发明的范围与精神。

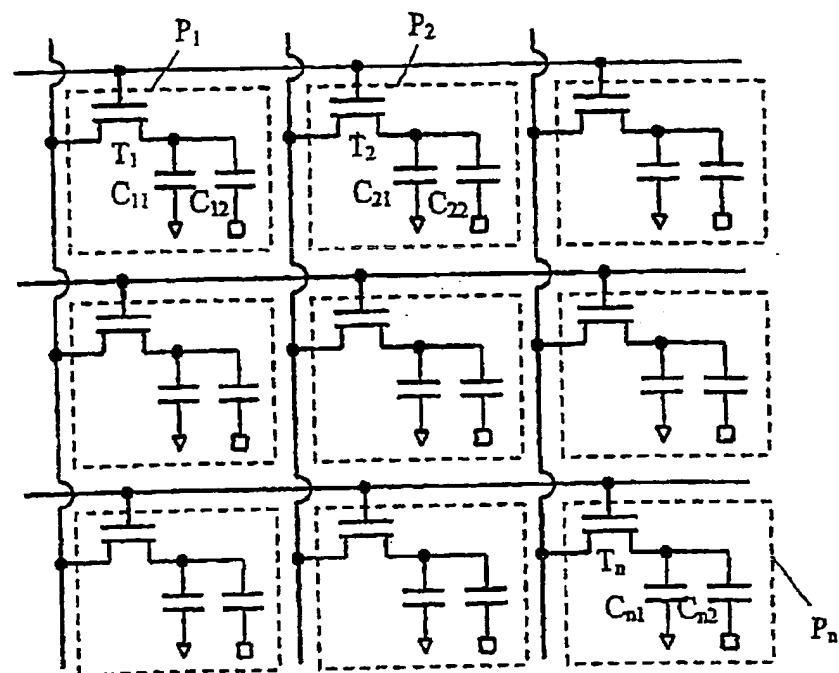


图 1  
原有技术

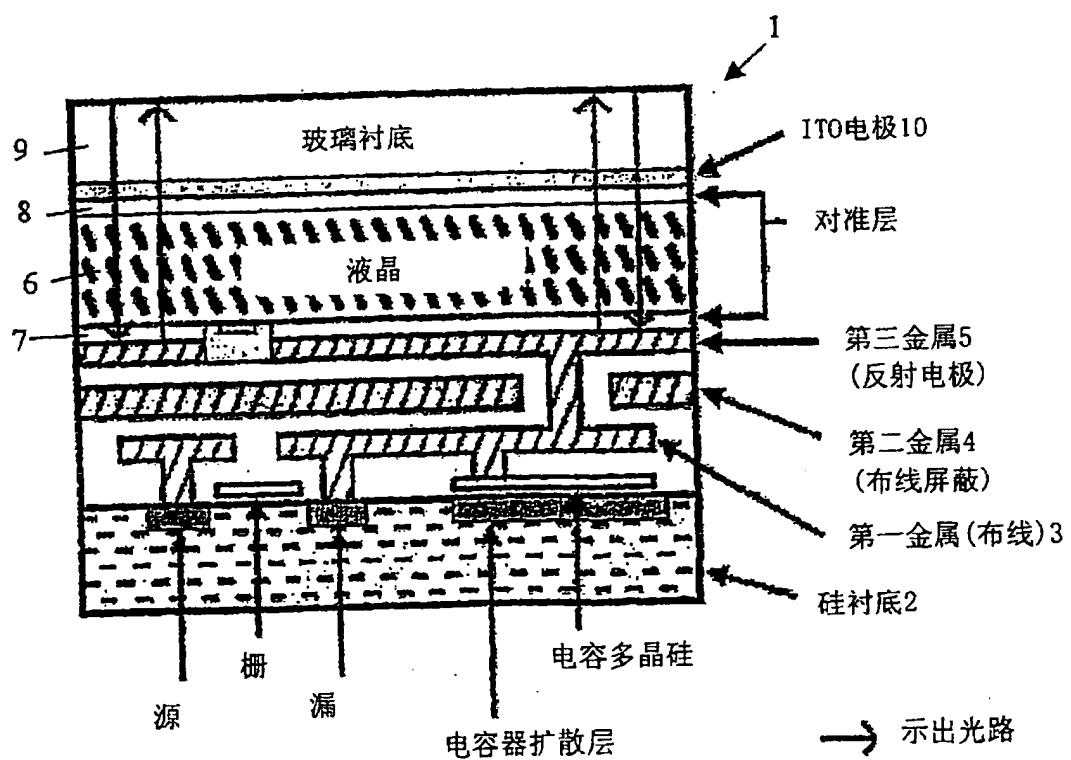


图 2

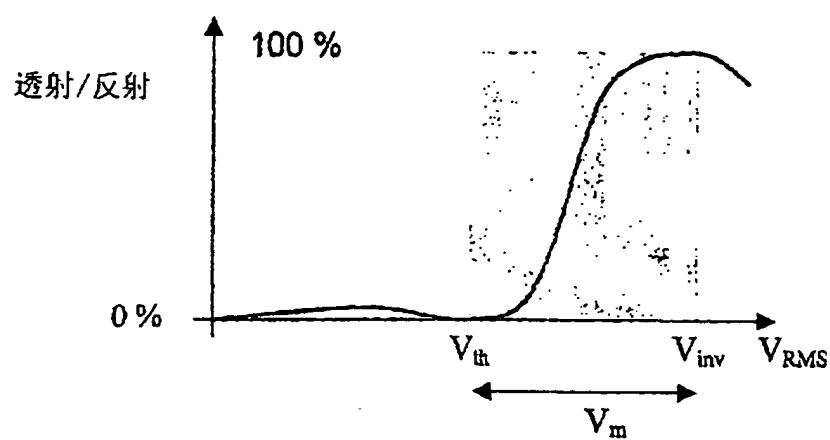


图 3

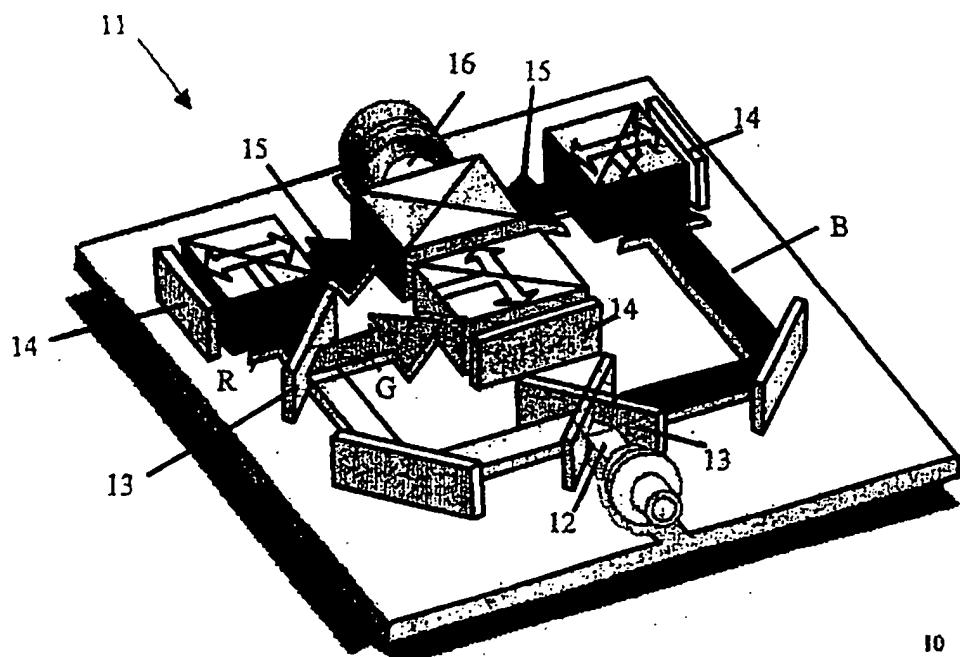


图 4

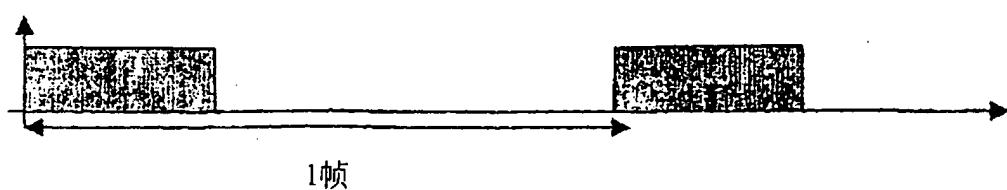


图 5



图 6

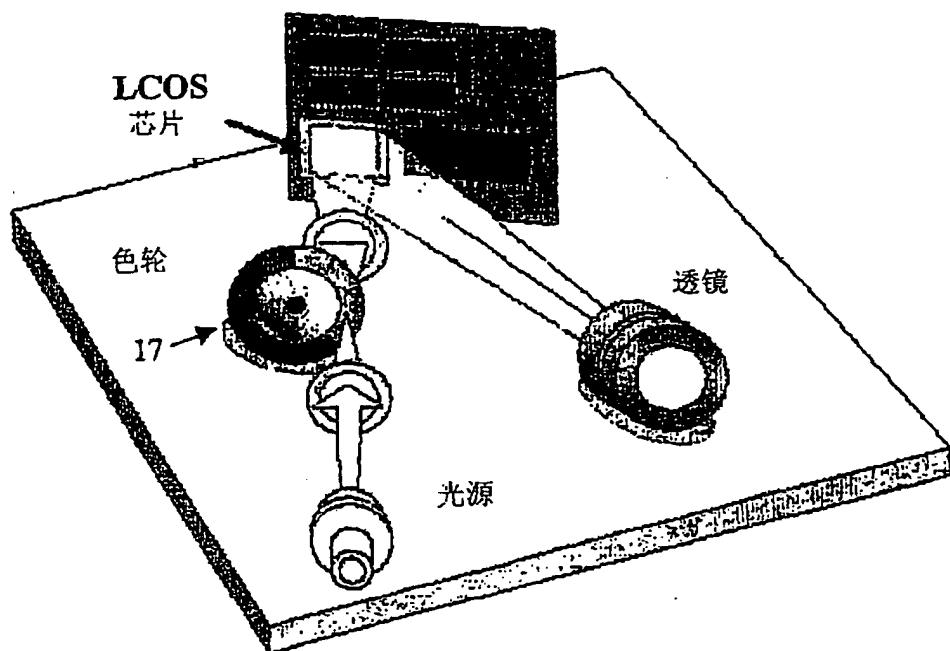


图 7

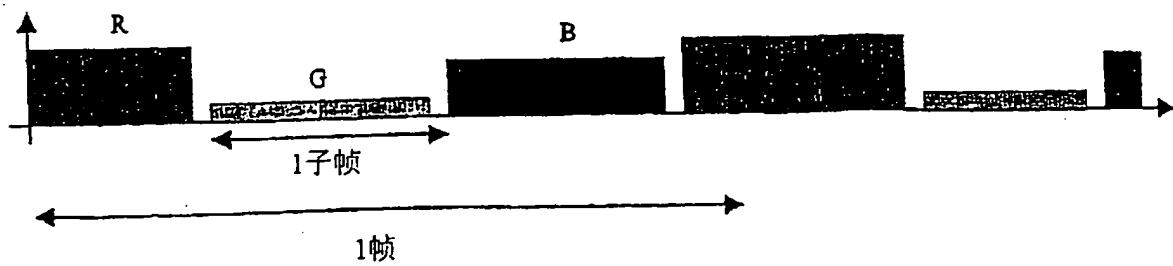


图 8

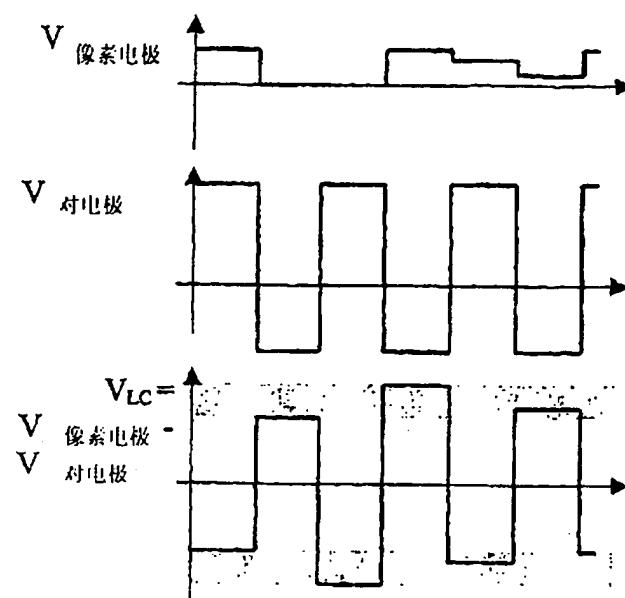


图 9

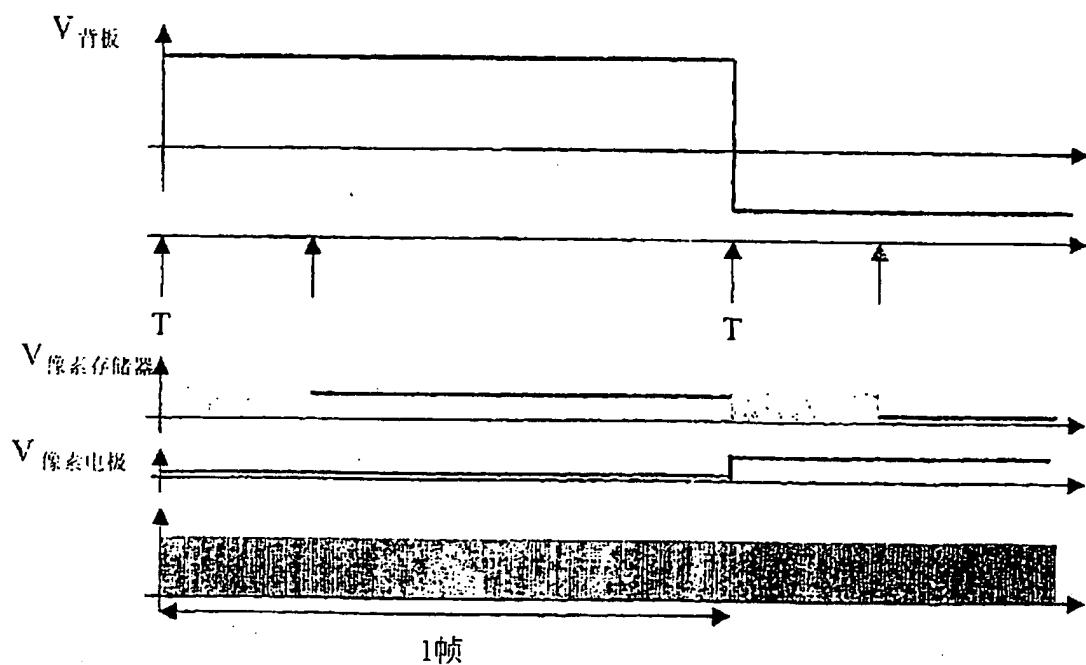


图 10

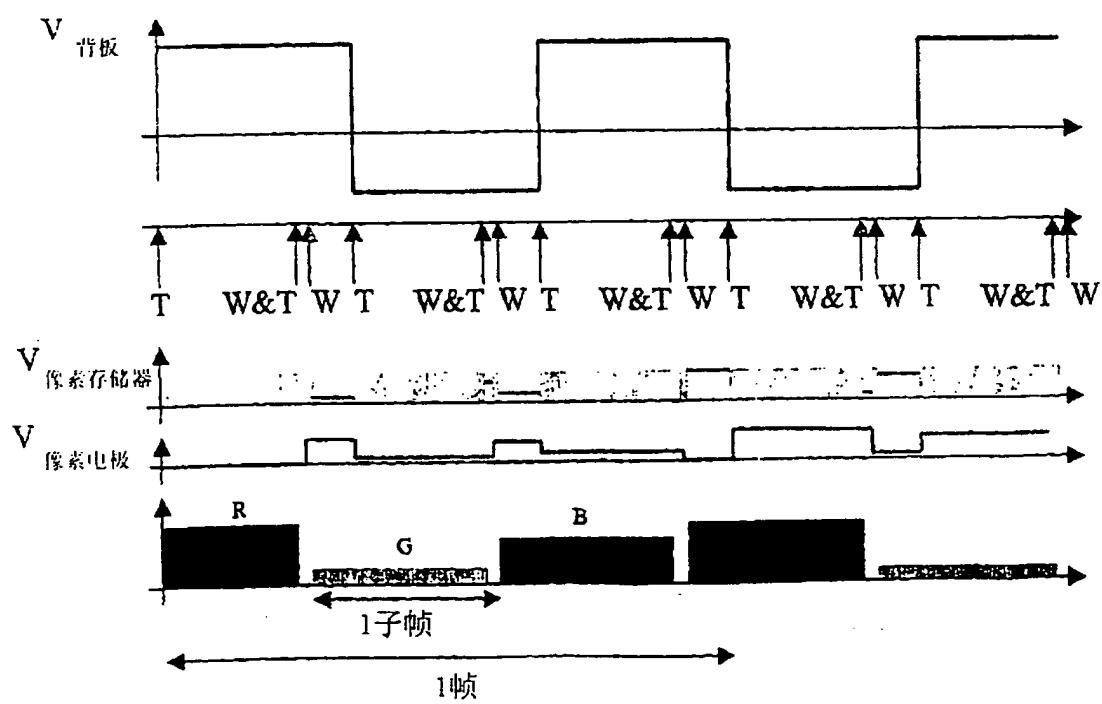
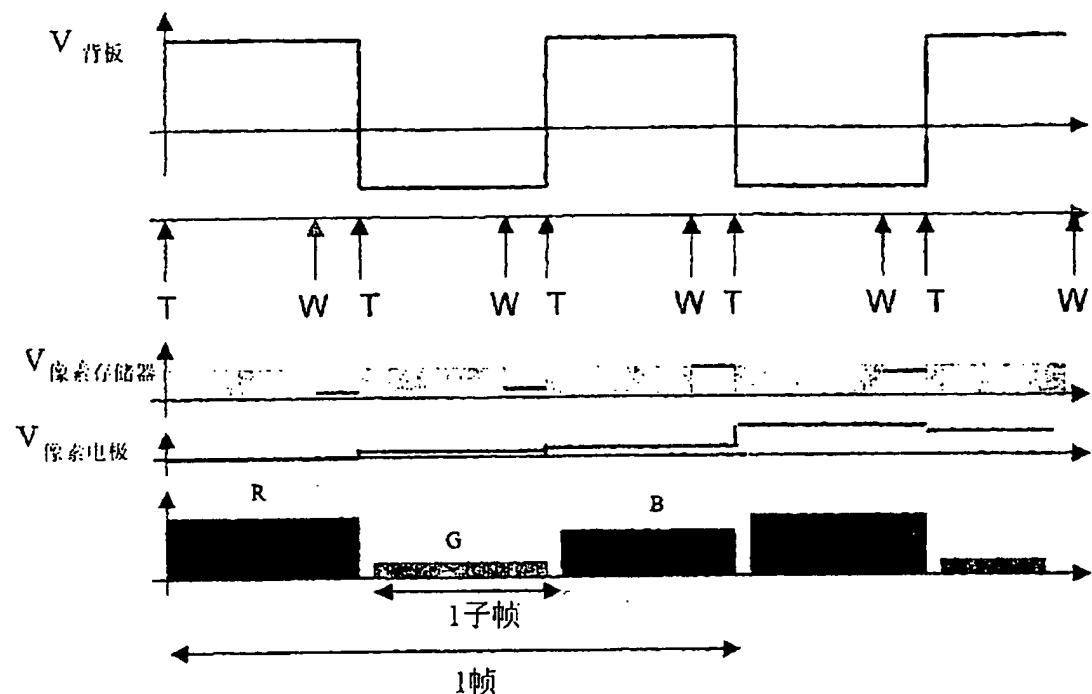


图 12

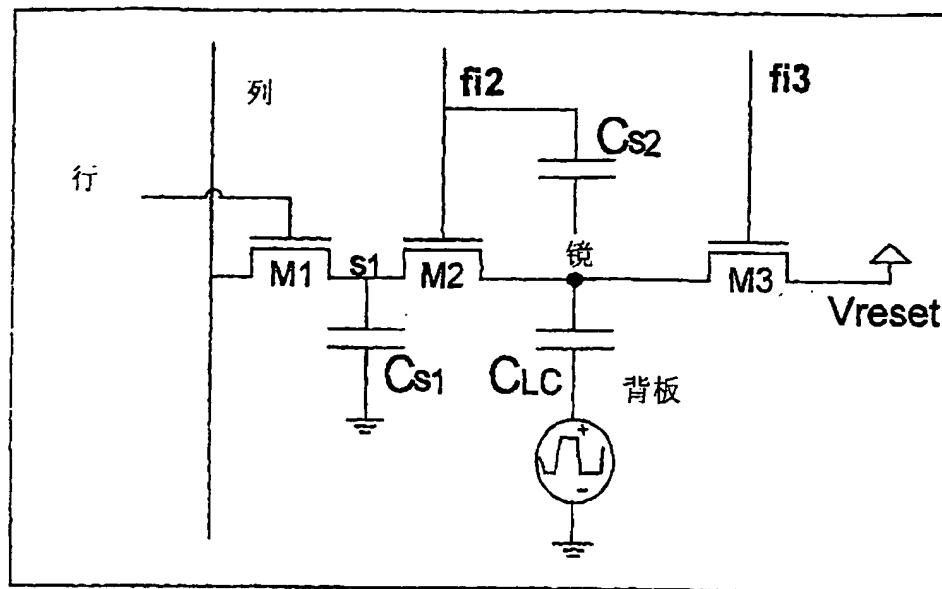


图 13

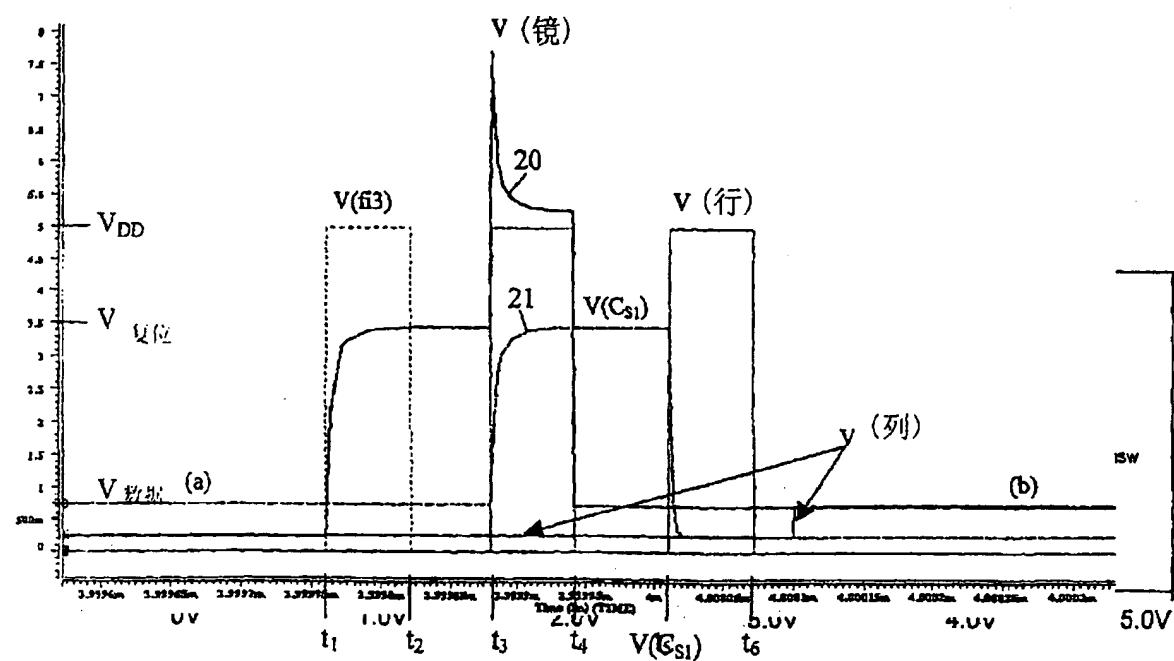


图 14

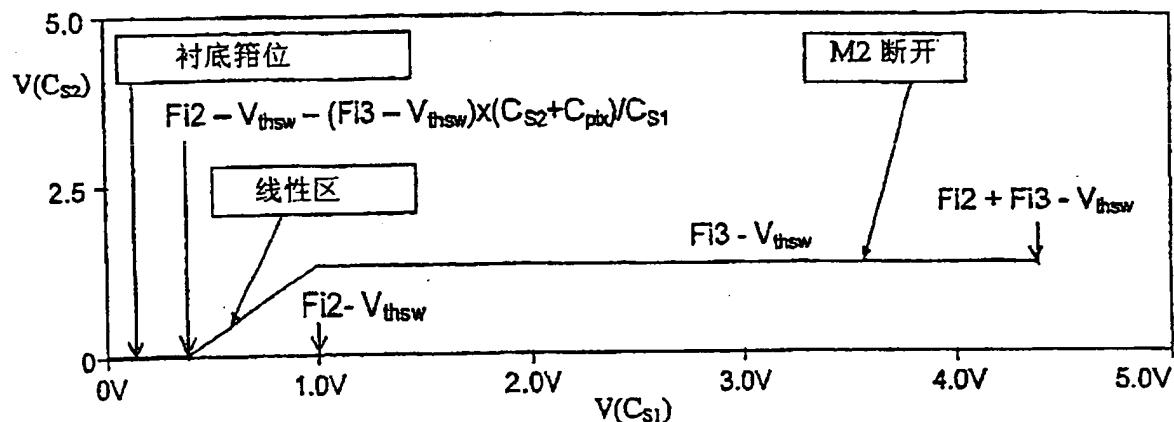


图 15

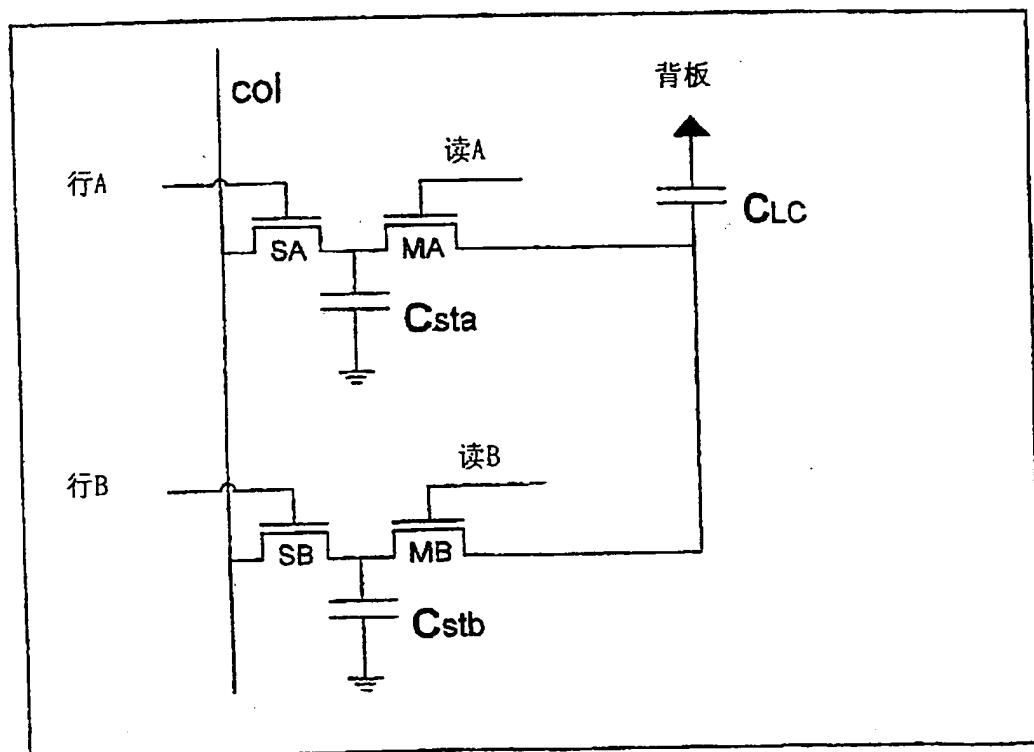


图 16

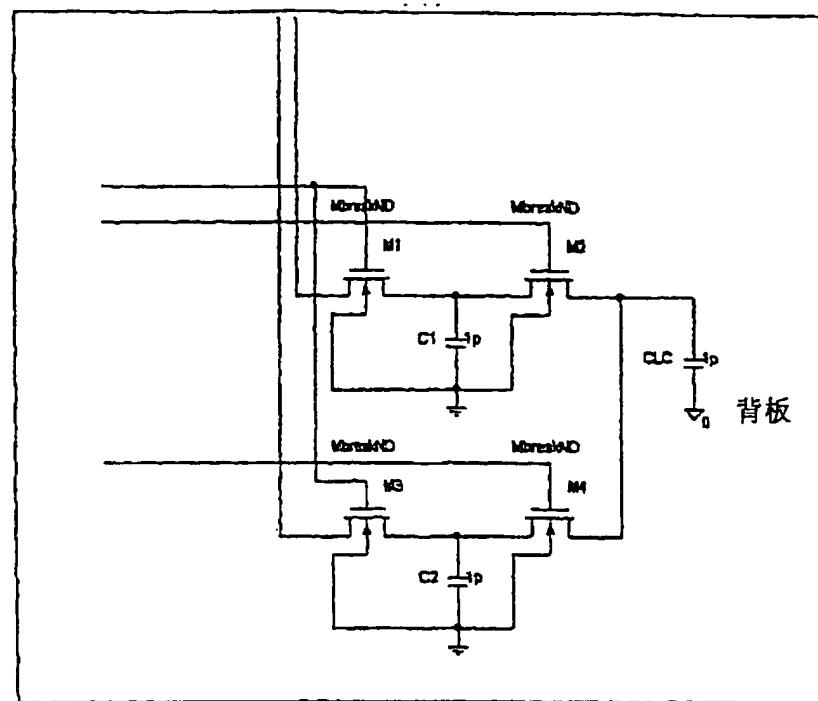


图 17

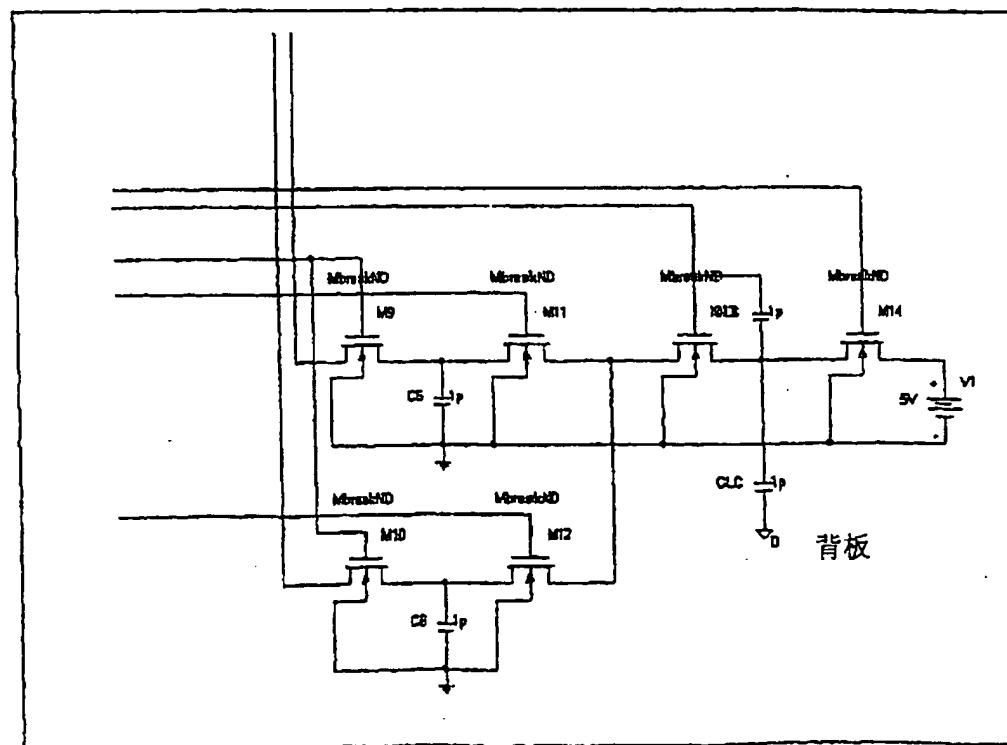
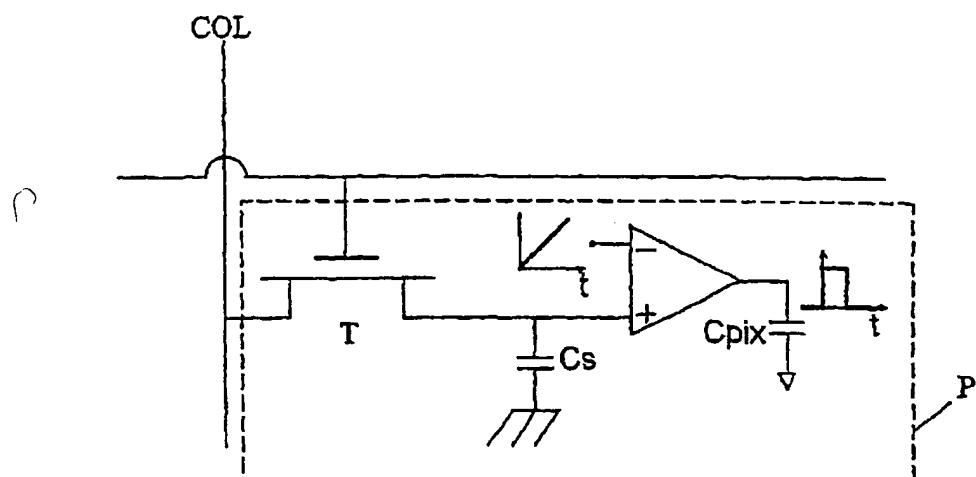


图 18



19

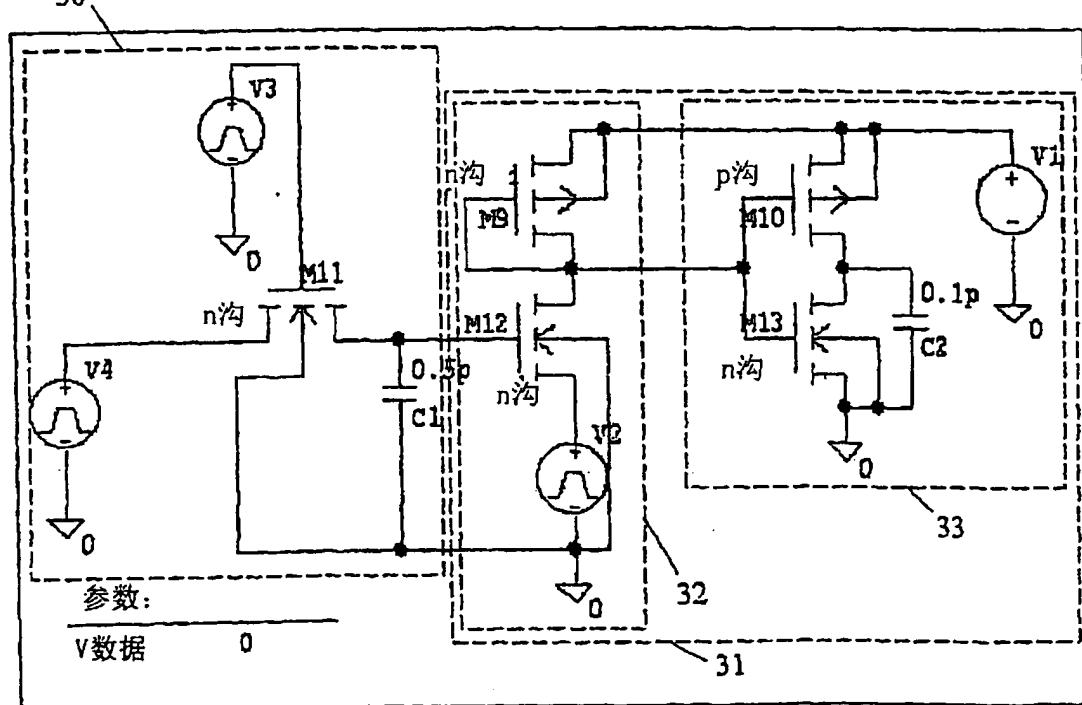


图 20(a)

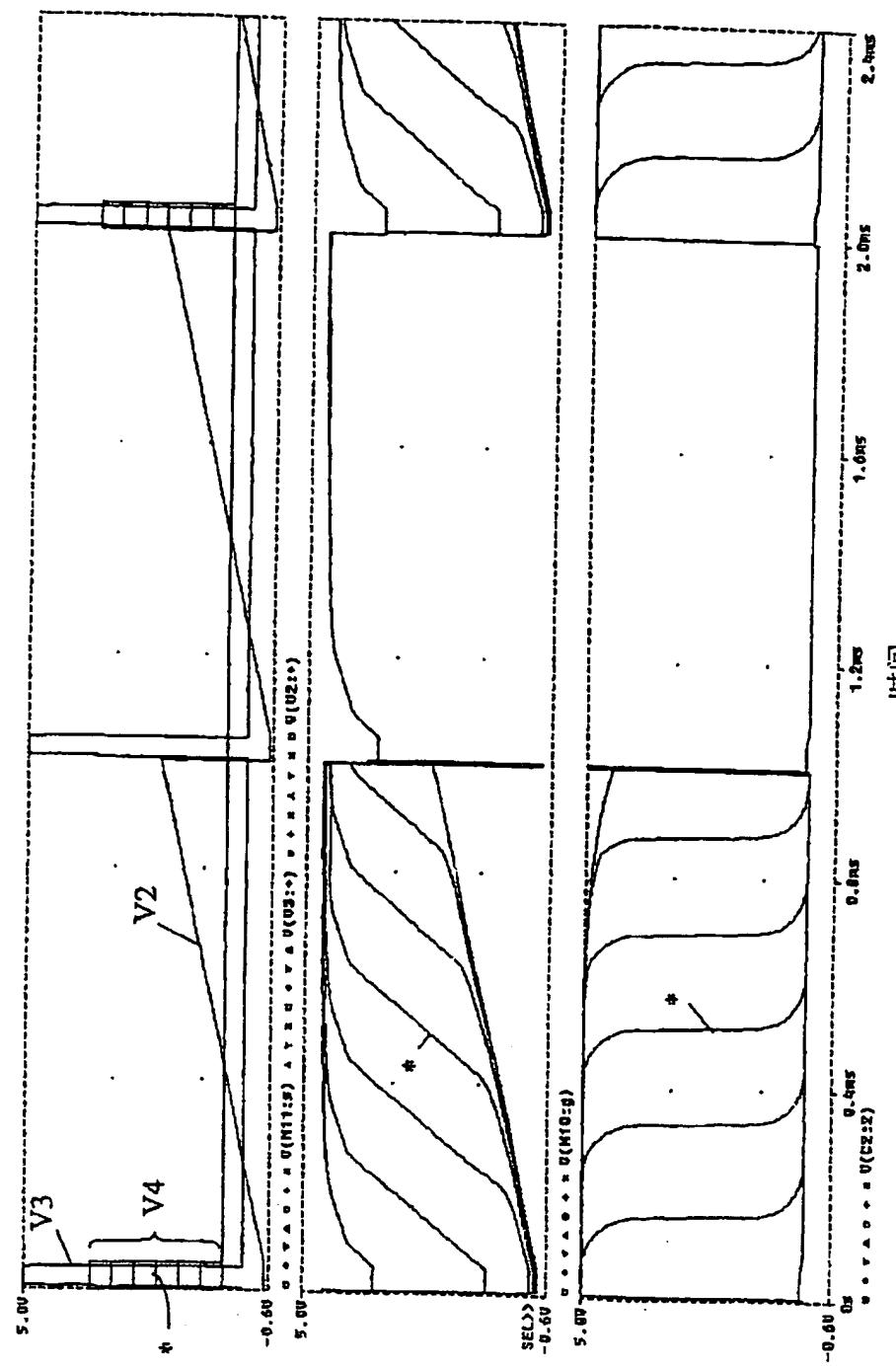


图 20 (b)

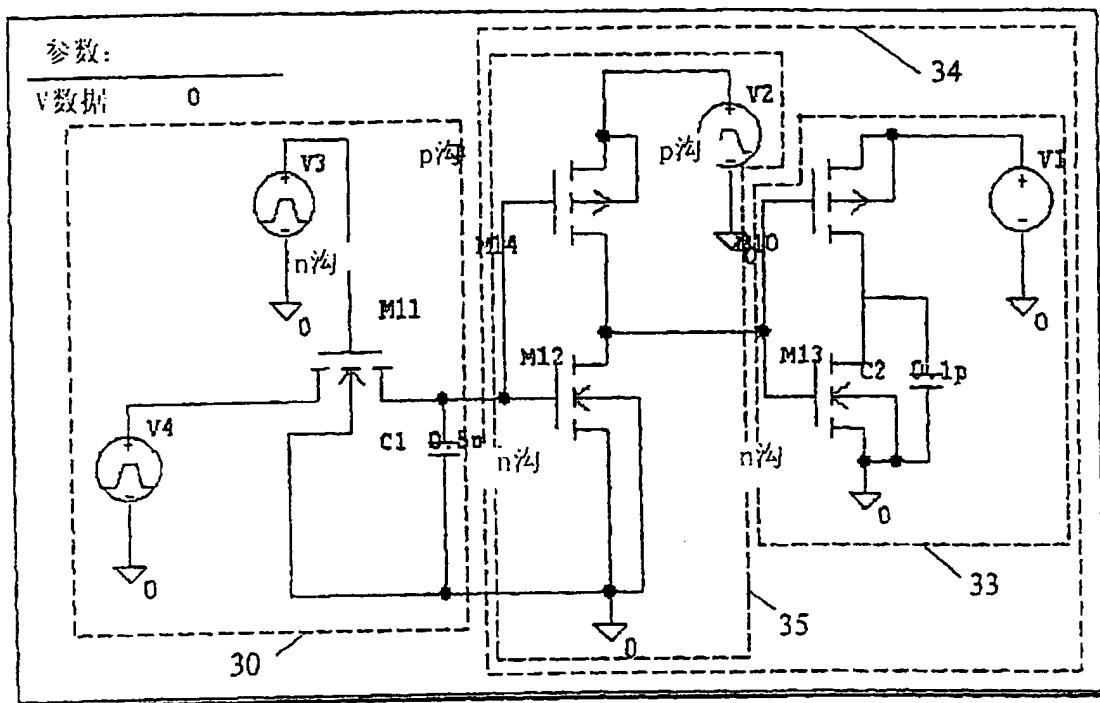


图 21(a)

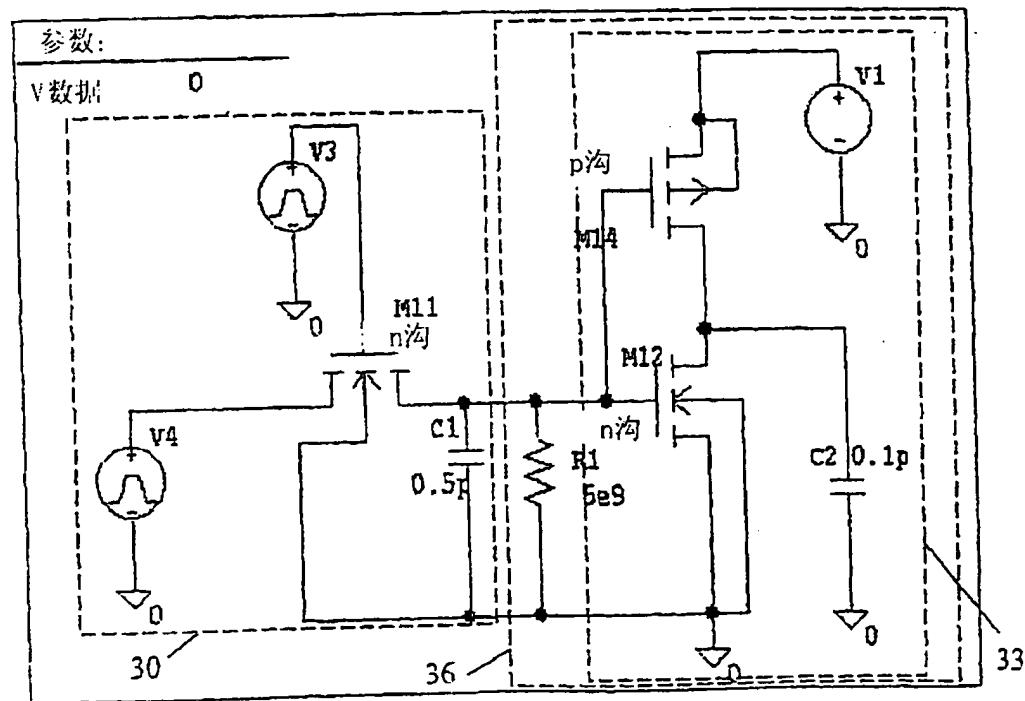


图 22(a)

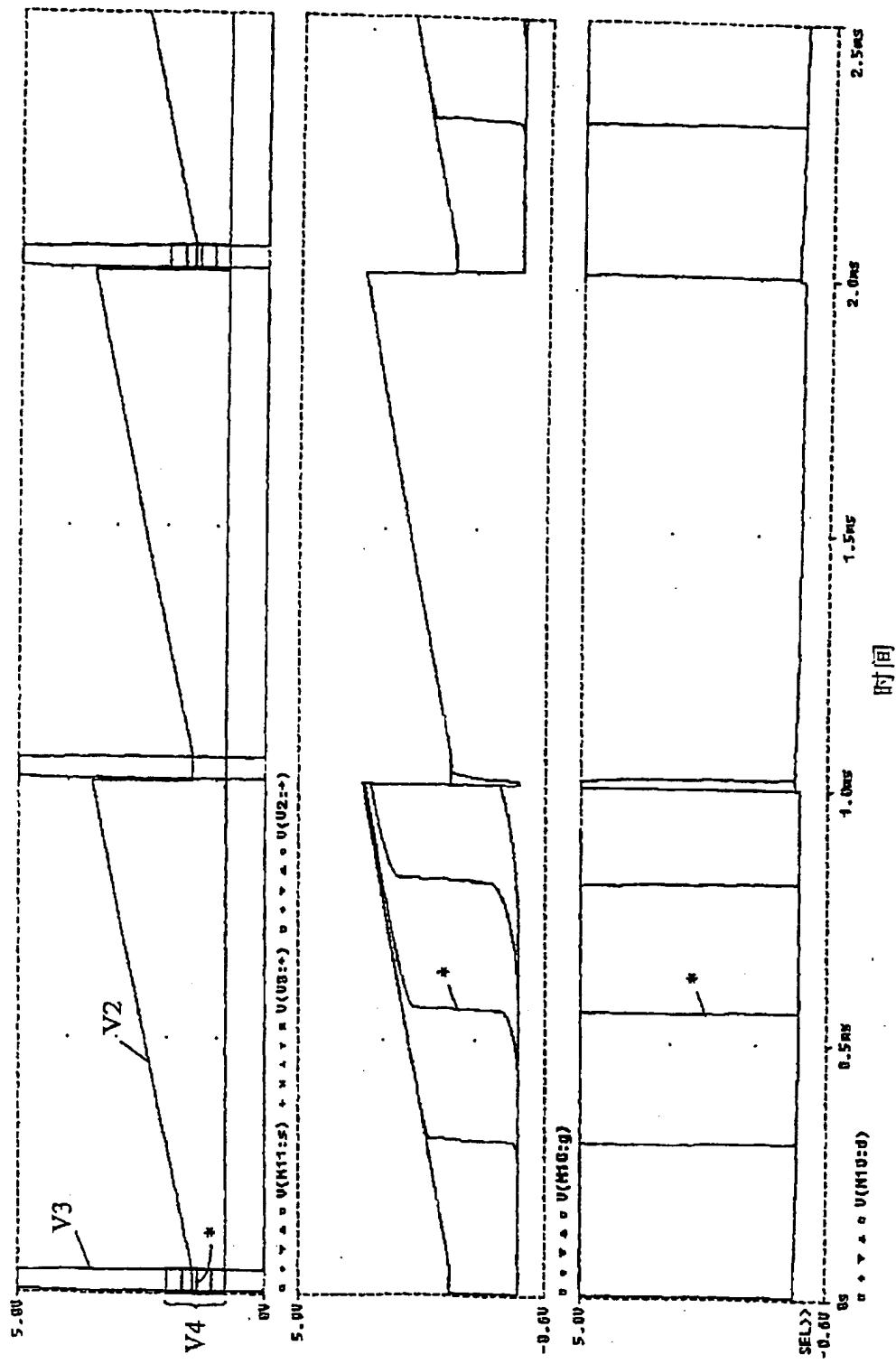


图 21 (b)

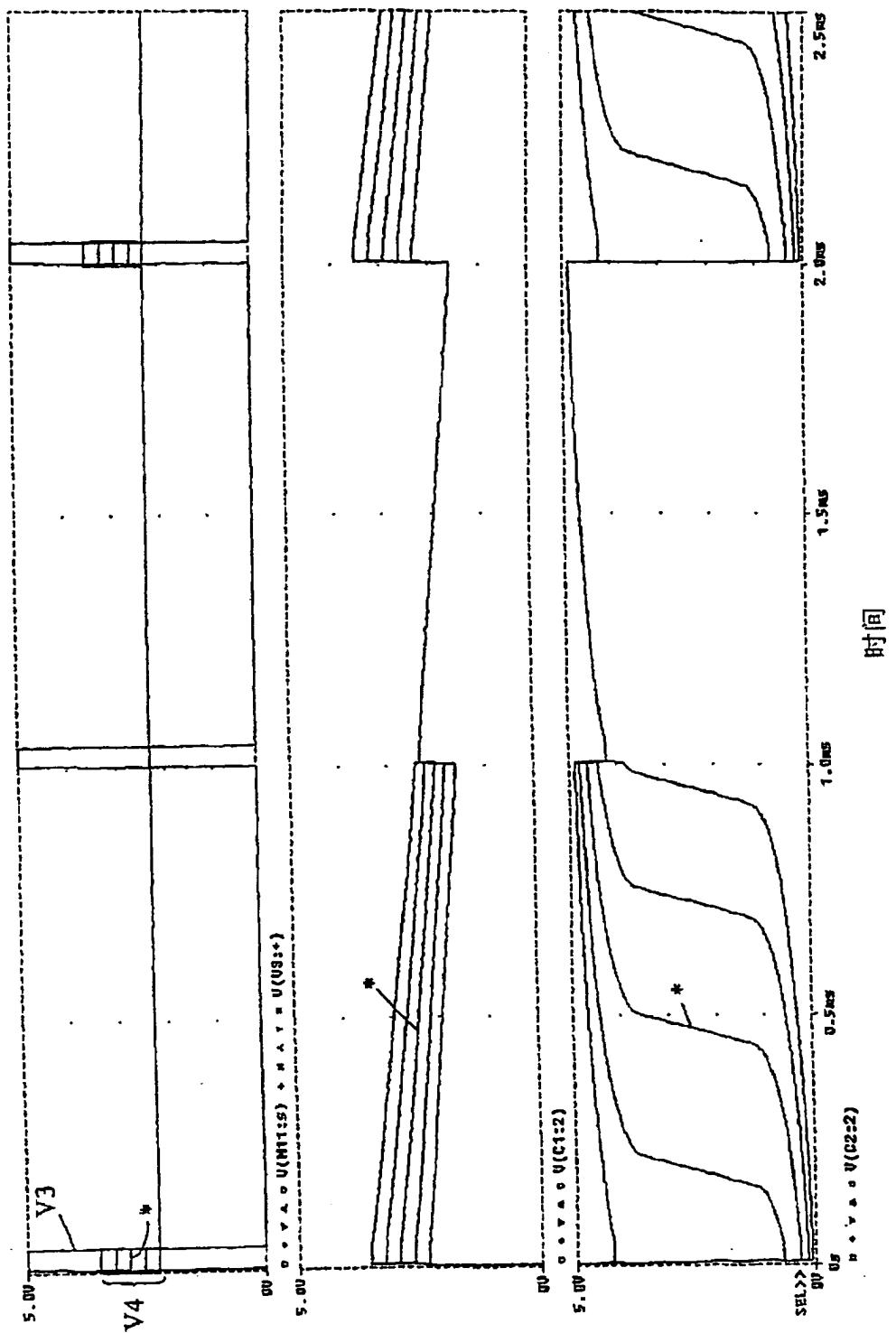
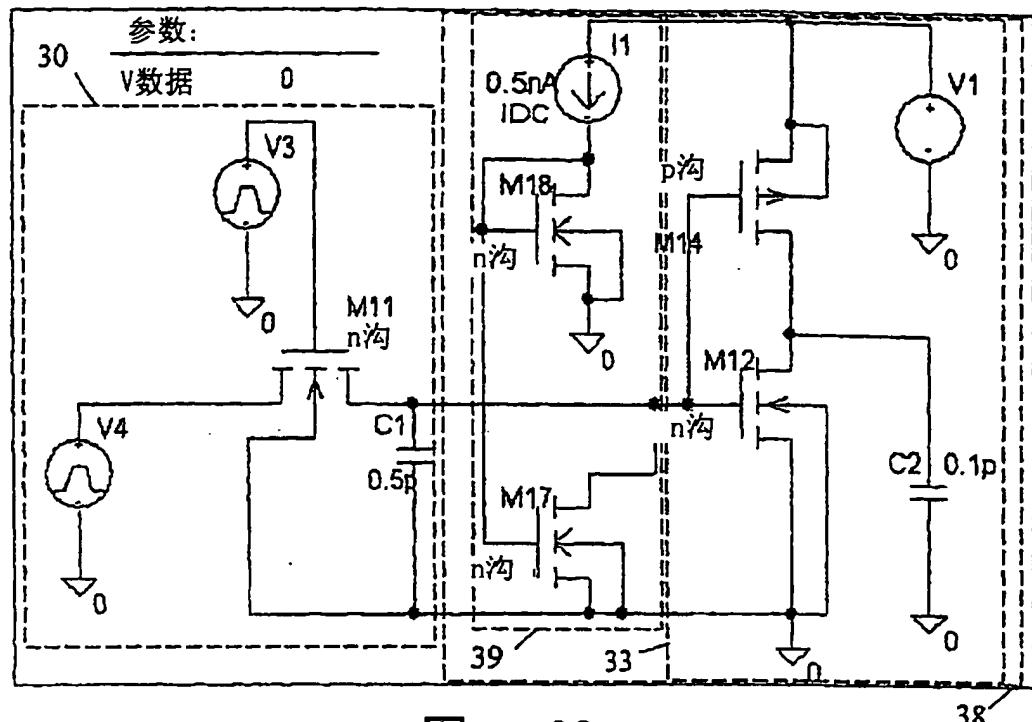


图 22(b)



冬 23

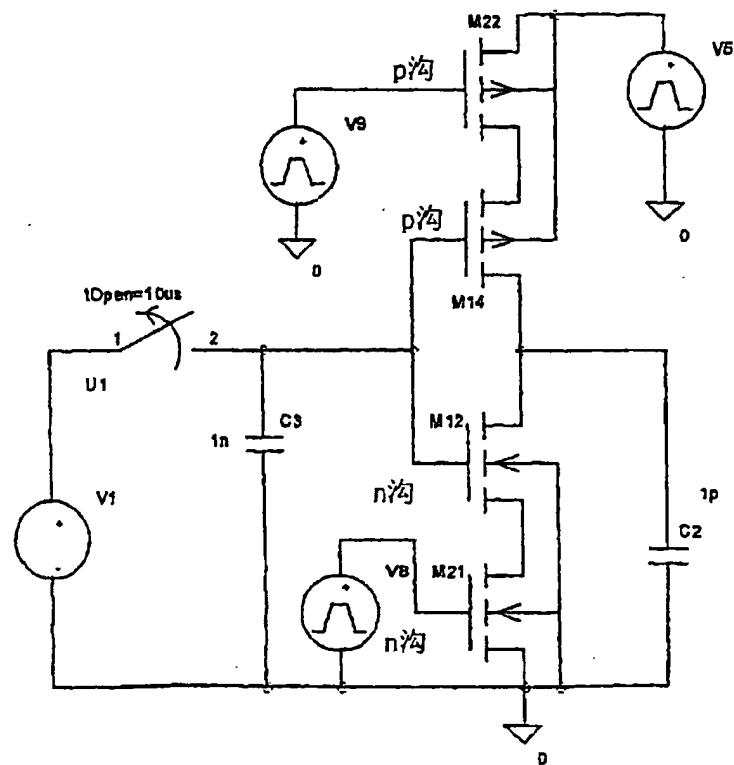


图 24

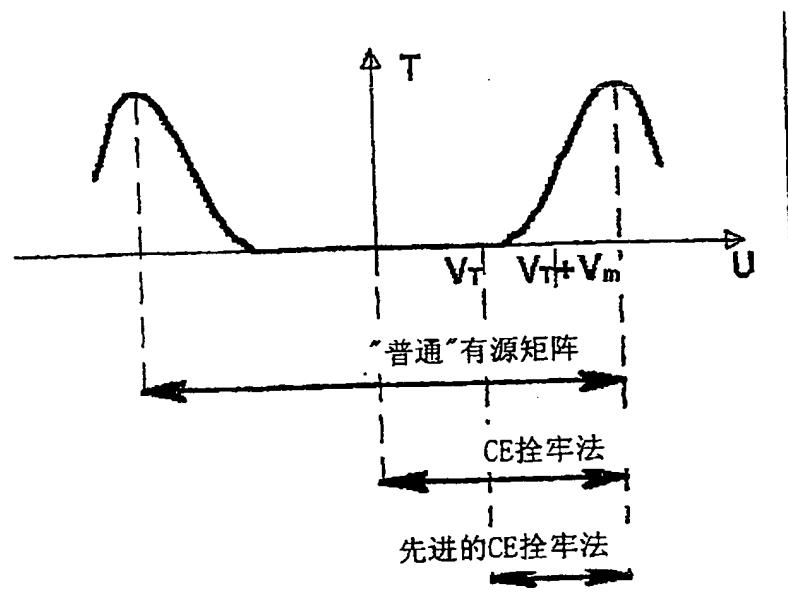


图 25

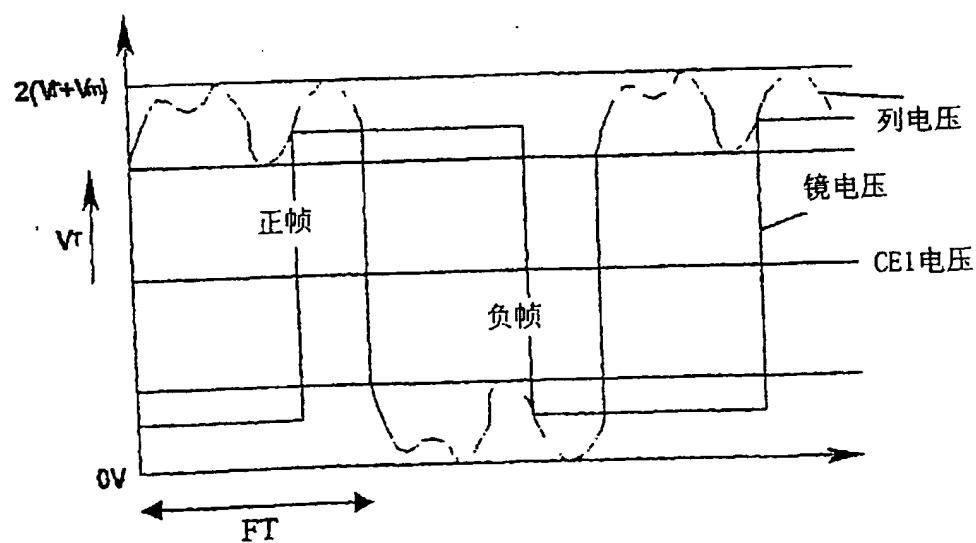


图 26

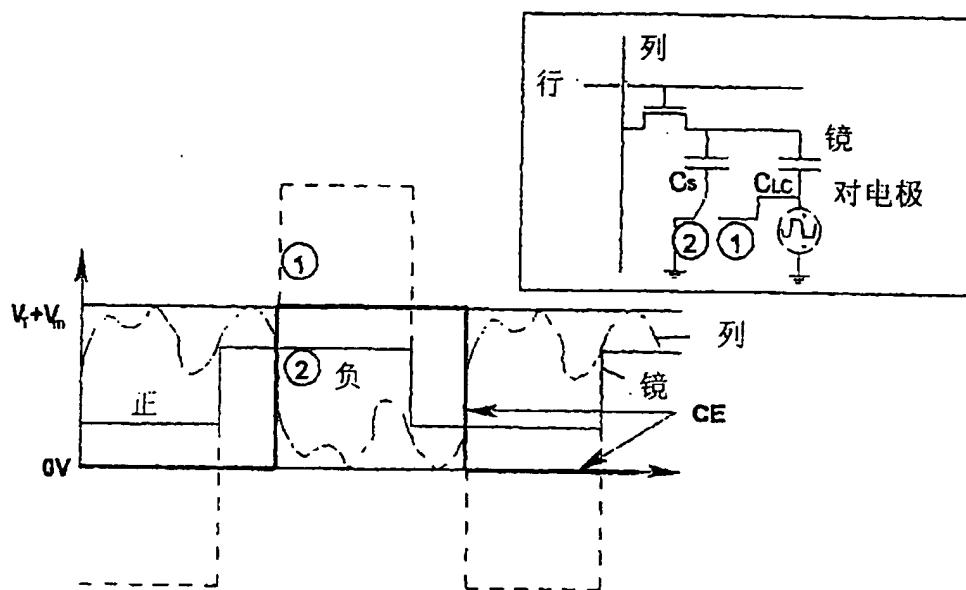


图 27

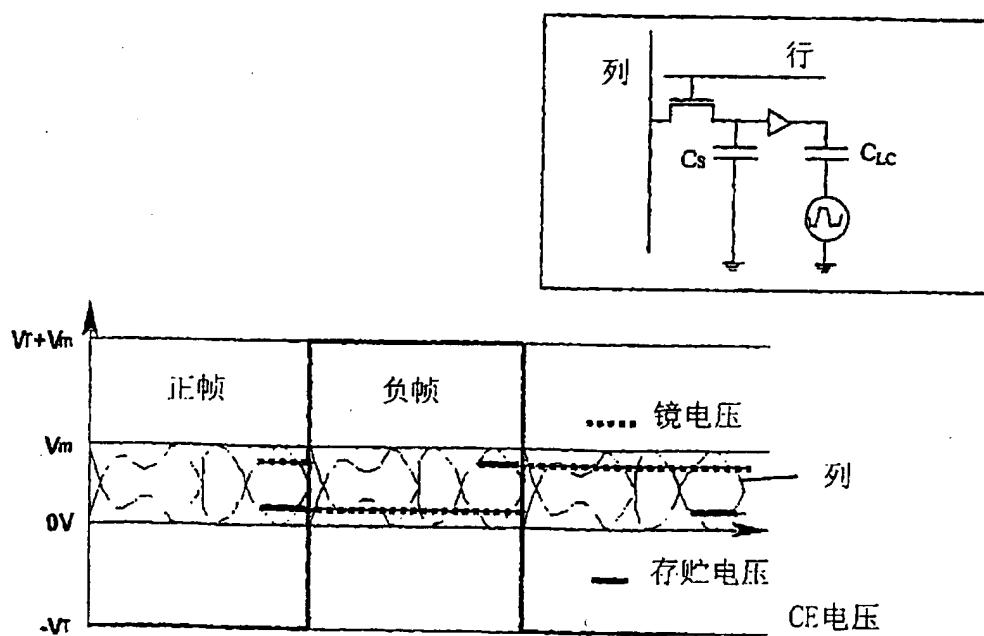


图 28